



Simon DELEONIBUS,
Directeur de Recherche CEA
IEEE Fellow
IEEE Distinguished Lecturer
Chevalier de l'Ordre National du Mérite
Lauréat Grand Prix de l'Académie des Technologies 2005

Age: 50 ans

Né le 19 Mars 1955 à Mola di Bari Italie
Marié , 1 enfant
Nationalité: Française

Adresse personnelle: 40 Allée des Giteaux La Chanteraie 38640 CLAIX FRANCE
Tel: (33) 04 76 40 95 80

- *Situation actuelle:* Chef du Laboratoire de Nanodispositifs Electroniques. 40 chercheurs.
Projets principaux: CMOS Ultime, Dispositifs Alternatifs
(Transistors à 1 électron , Mémoires à 1 électron)
Chef du projet CMOS Ultime depuis 1998.

- *Faits marquants* **Réalisations majeures récentes (Juin 1999) :**
Transistor MOS de longueur de grille 20 nm, plus petit transistor jamais réalisé. Record du monde.

Brevet majeur(déposé en 1984).
Co-inventeur du principe des contacts planarisés dits "contact plugs". Standard professionnel mondial actuel des circuits intégrés.
Brevet propriété de STMicroelectronics. Exploité aujourd'hui au niveau mondial par tous les fabricants de Circuits Intégrés dans la réalisation de tous les produits microélectroniques silicium conçus dans des règles de dessin inférieures ou égales à 0,5µm.

EXPERIENCE PROFESSIONNELLE

- * Entré au CEA-LETI le 1er août 1986
- *Depuis 1996* Successivement
 - . Responsable des activités CMOS Ultime au sein du Programme PLATO Microélectronique du Futur
 - . Chef du projet CMOS Ultime depuis 1998
 - . Chef du Laboratoire de Nanodispositifs Electroniques depuis 1999
 - . Chef du projet européen IST NESTOR(Transistors Multigrilles) depuis 2002
 - . Chef du projet RMNT CMOSDALI(Transistor Multigrilles autoalignées) depuis 2002

- *De 1986 à 1996*

Ingénieur de Recherche dispositifs pour circuits intégrés au LETI (Laboratoire d'Electronique de Technologie et d'Instrumentation)- CEA(Commissariat à l'Energie Atomique) -Grenoble dans le domaine du développement de modules de procédés pour la microélectronique submicronique sur Silicium.

Développement d'intégration CMOS dans les générations 0.8µm à 0.25µm. Responsable développement modules de procédés: Isolation de champ, Interconnexions multinationaux de métal, Siliciuration auto-alignée. Impliqué dans les projets Européens ADEQUAT (CMOS 0,25µm) et

Mémoires JESSI (Mémoires Non Volatiles de Haute Densité) avec les partenaires industriels S.T.Microelectronics, Philips, Siemens. Transfert de connaissances vers l'industrie.

* 1981-1986: Développement et transfert en production, dans le domaine de l'ingénierie dispositifs pour filières circuits intégrés chez Thomson Semiconductors Grenoble.

Transfert de filières à grilles siliciurées en technologie NMOS $2\mu\text{m}$ à $1.2\mu\text{m}$ en vue de la réalisation de :

- . Microprocesseurs 16 bits rapides 68000 à $F_{\text{clock}}=16\text{MHz}$ (1^{er} MacIntosh).
- . Convertisseurs AN et NA vidéo 8 bits (échantillonnage à 25 MHz).
- . Processeurs de Signal, Processeurs vidéo 16bits pour applications Telecom(1^{er} Minitel).

* 1979-1981: Thèse au Laboratoire de Physique des Composants à Semiconducteurs(LPCS)-CNRS au sein de l'Ecole Nationale Supérieure d'Electronique et de Radioélectrique de l'Institut Nationale Polytechnique de Grenoble(INPG) en collaboration avec le Gordon Mc Kay Laboratory de l'Université de Harvard (Cambridge-Massachusetts) et CGE Marcoussis.

Sujet de recherche: Diodes Schottky Photovoltaïques sur Silicium amorphe hydrogéné. Caractérisation matériau à travers l'étude des propriétés photoélectriques et électriques des dispositifs.

* 1976-1979: Professeur(MA) de Mathématiques et Sciences Physiques(Académie de Créteil) et Formation Professionnelle pour Adultes(KODAK- Sevran- Préparation CNAM).

ENSEIGNEMENT SUPÉRIEUR

- Enseignement de Microélectronique INSTN Cadarache
- Responsable scientifique et Enseignant au Collège de l'Ecole de Polytechnique du séminaire : « Nanosciences , nanotechnologies ».

DIPLOMES

*Juin 1982: Thèse Université Paris-Jussieu/Groupe de Physique des Solides de l'Ecole Normale Supérieure. Spécialité: Sciences Physiques pour l'Ingénieur.

Titre: Caractérisation de diodes Schottky photovoltaïques sur silicium amorphe hydrogéné

Mention : *Très Honorable avec Félicitations du Jury*

Travaux menés au L.P.C.S.(Grenoble). Collaborations Université de Harvard et CGE Marcoussis.

*Septembre 1979: Diplome d'Etudes Approfondies de l'Université Paris-Jussieu.

Spécialité: Sciences Physiques pour l'Ingénieur.

*Juin 1978: Maîtrise de Physique de l'Université Paris-Jussieu

*Juin 1976: DEUG Science des Structures et de la Matière (Mathématiques et Physique) de l'Université Paris-Jussieu

* June 1973: Baccalaureat C. Lycée Honoré de Balzac Paris.

MEMBRE DE COMITES INTERNATIONAUX

- Membre du VLSI Technology Symposium Program Committee depuis 2001¹. Chair 2005 et 2006

- Membre de l'International Electron Devices Meeting Conference(IEDM) Silicon Devices Subcommittee en 1998 et 1999, 2004 et 2005¹.

- Membre de l'International Solid State Devices and Materials Conference(ISSDM) International Program Committee depuis 1995.

- Membre de l'International Symposium On Silicon Materials Science and Technology Program Committee.

- Membre de l'European Solid State Devices Research Conference(ESSDERC) Program Committee. Président du sous-comité Nanotechnologies and Quantum Devices.

- Membre de l'International Silicon Nanoelectronics Workshop Program Committee.

¹ Le VLSI Technology Symposium et l' IEDM sont les 2 conférences annuelles majeures en Microélectronique

- Membre de l'International Technology Roadmap of Semiconductors(ITRS) depuis 2000. Vice-Président Européen du Process Integration and Devices Structure Group. La mission de l' ITRS est de préparer le planning, pour les 15 ans à venir, de l'introduction des filières futures des circuits intégrés suivi par les fabricants du monde entier.
- Membre de l'International Symposium On Ultra Large Scale Integration Program Committee.
- Membre et Chair 2005 de l'International Workshop On Ultimate Integration of Silicon(ULIS) Program Committee
- Fellow IEEE Electron Devices Society,
- Membre de The Electrochemical Society
- Rapporteur auprès de 5 revues scientifiques internationales : IEEE Transactions on Electron Devices, IEEE Electron Devices Letters, Journal of The Electrochemical Society, Electrochemical and Solid State Letters, Microelectronics and Reliability.
- Expert architecture dispositifs(Rapporteur de Projets) ayant servi auprès de la Communauté Européenne ou d'états hors CEE dans le domaine de la technologies des circuits intégrés.

PUBLICATIONS plus de 250 (conférences et revues avec comité de lecture) – voir liste

PRESENTATIONS ET PAPIERS INVITES parmi les papiers publiés: 40 – voir liste

AUTEUR DANS DES OUVRAGES SCIENTIFIQUES:

- Semiconductors and Semimetals, Academic Press, New York, 1984
- Nanophysics and Nanoelectronics, Société Française de Physique, Editions Frontières, Paris 2002
- Fundamentals in HiK Dielectrics, Institute of Physics Publisher, London 2003
- Frontiers in Electronics, edited by H. Iwai, Y. Nishi, and M. S. Shur, WSPC, London 2006.

BREVETS DEPOSES: 28– voir liste