

Des Nanosciences aux Nanotechnologies, quelques exemples

Claude CHAPPERT, CNRS
Département "Nanospintronique"
Institut d'Electronique Fondamentale
Université Paris Sud, Orsay, FRANCE

chappert@ief.u-psud.fr

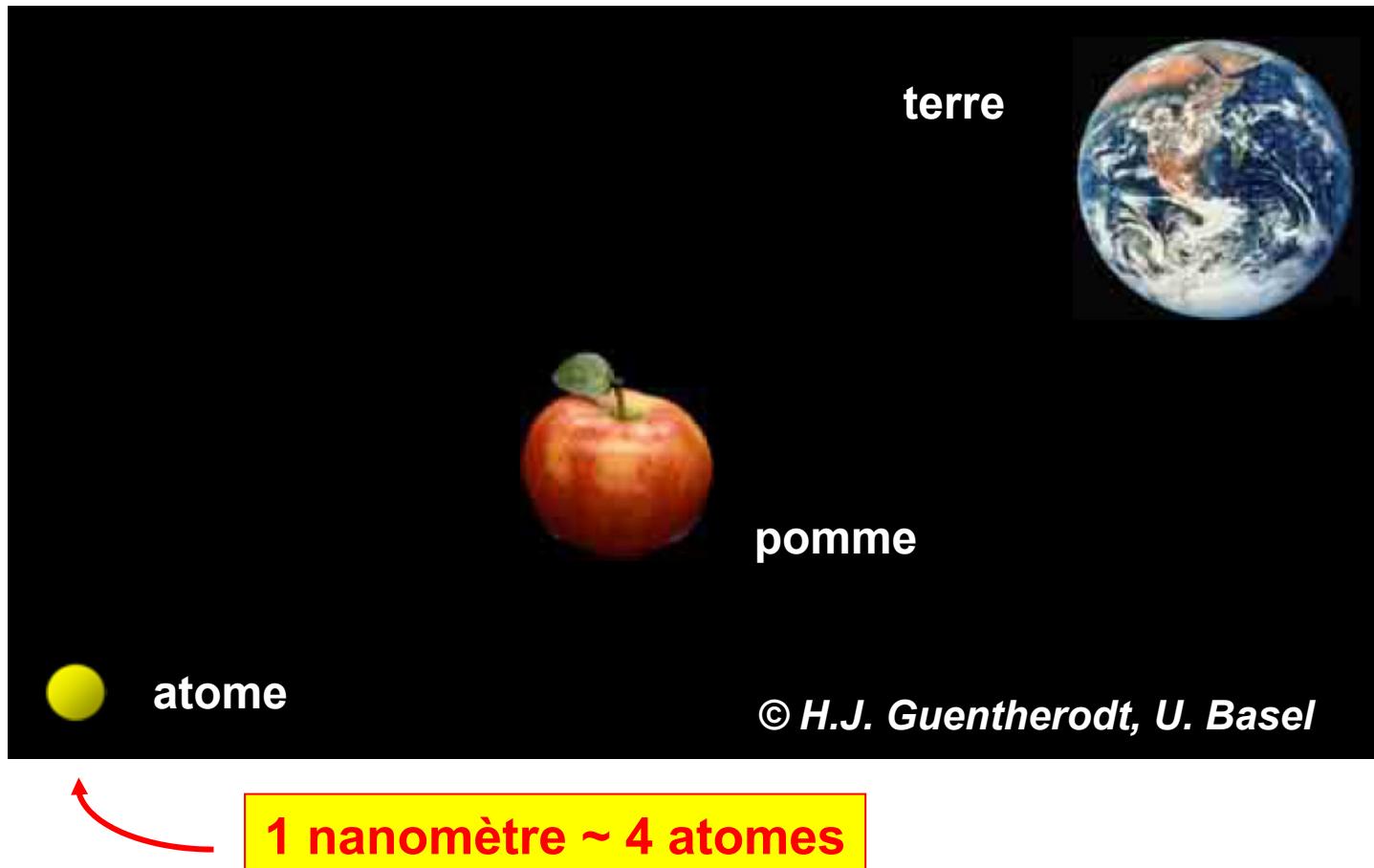


Ou plutôt ...

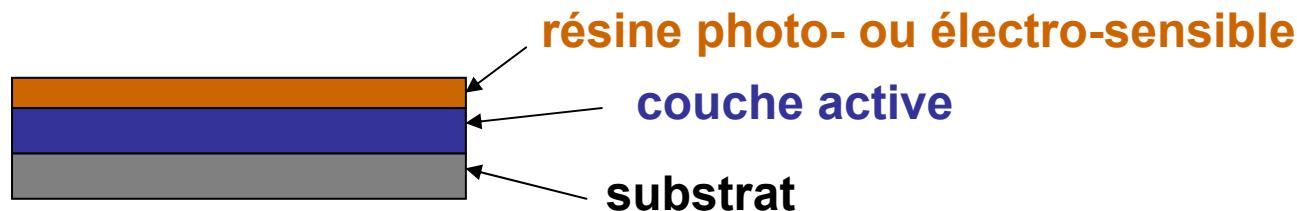
**... comment les Nanosciences & les Nanotechnologies
sont en train de trouver leurs applications...**

L'échelle nanométrique

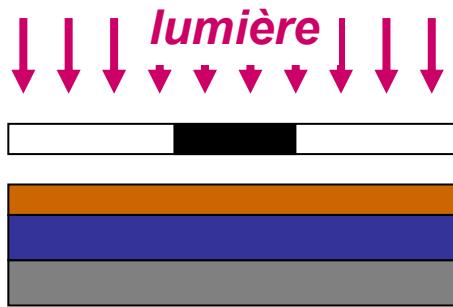
1 mm = 1 000 micromètres = 1 000 000 nanomètres



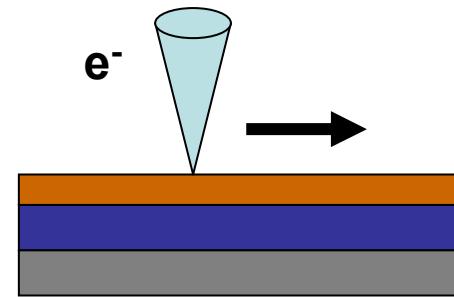
Micro- et nano- fabrication « top down » (1)



→ lithographie optique



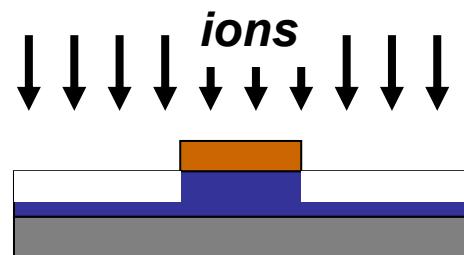
→ lithographie électronique



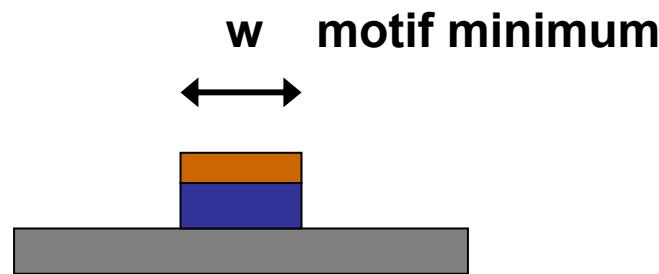
→ révélation de la résine



→ gravure



Micro- et nano- fabrication « top down » (1)



lithographie optique :

- technique rapide, mais limitée par la diffraction de la lumière

→ labos : $w_{\min} \sim 1 \mu\text{m}$

→ industrie : $w_{\min} \sim 65 \text{ nm en production} (> 50 \text{ M\$ / machine !!!})$
 45 nm « prêt »

lithographie électronique :

- technique très performante mais « lente » (balayage de tous les motifs)

→ labos et industrie : $w_{\min} \sim 10 - 30 \text{ nm}$

Les “Nanosciences”, c'est quoi?

→ **dimension(s) inférieure(s) à ~ 100 nm ?**

→ **dimension(s) inférieure(s) aux**

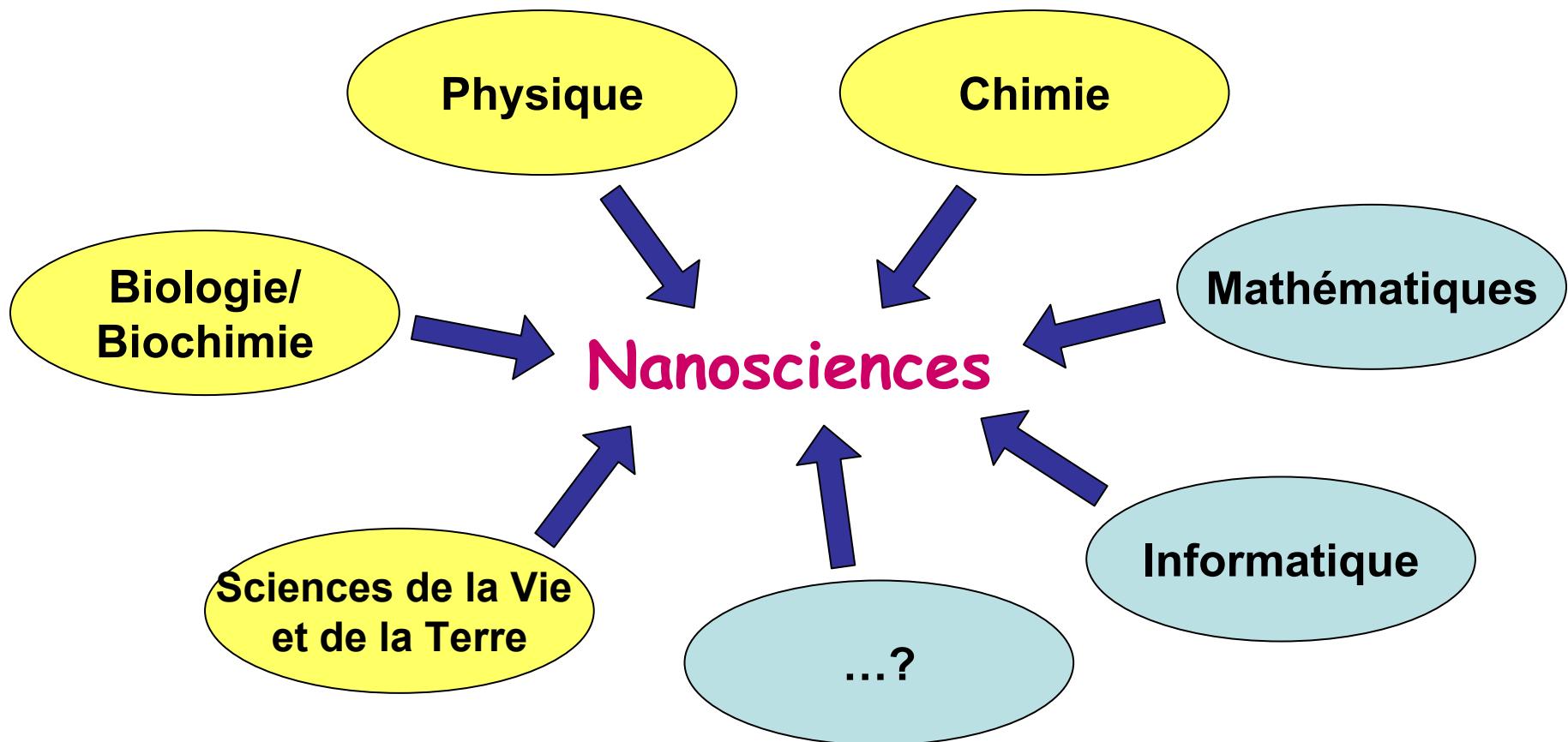
« grandeurs fondamentales de la Nature » ?

ex: **longueur d'onde du photon visible ~ 400-800 nm**
 longueur d'onde associée à l'électron ~ 1 nm

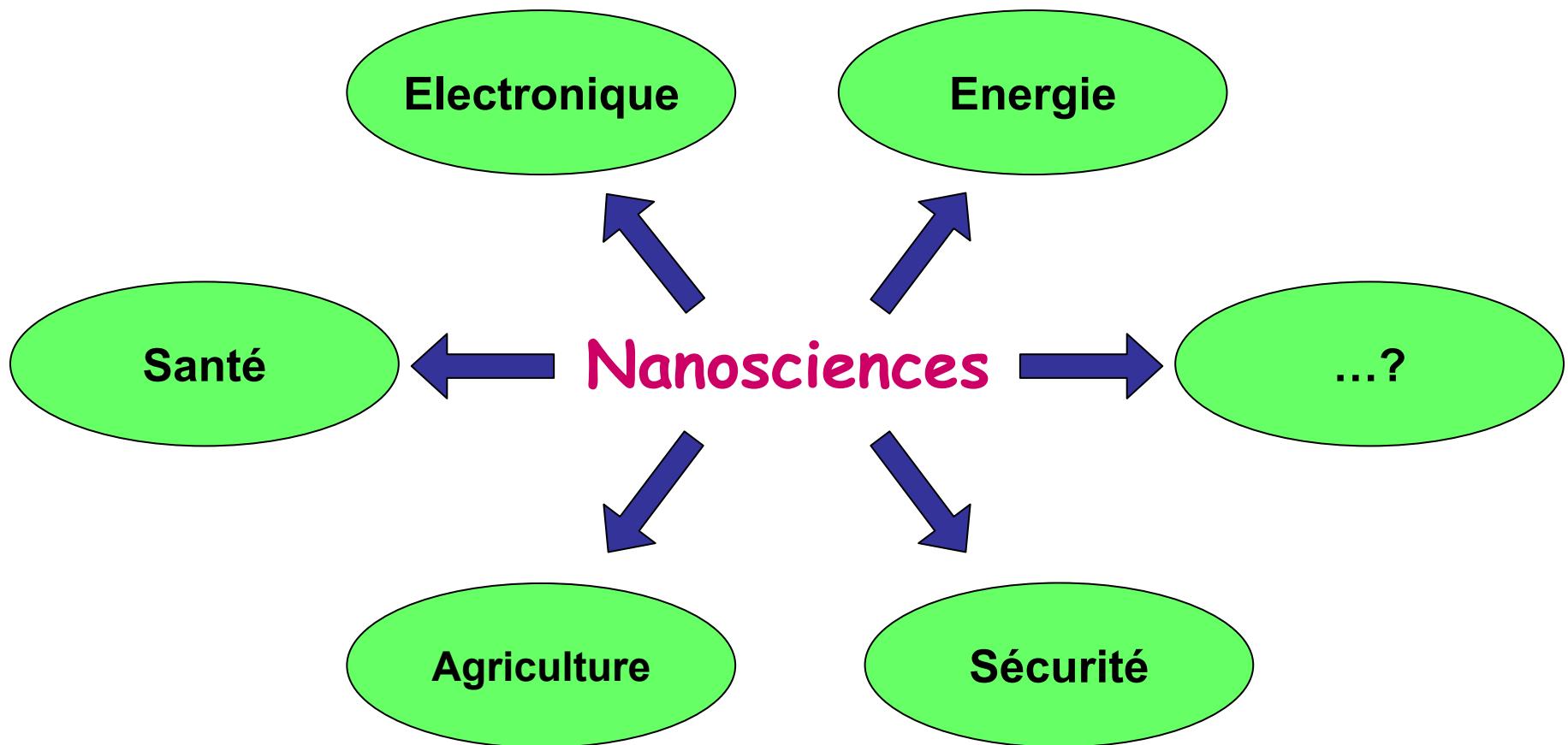
→ **dimension(s) comparable(s) à la taille de l'atome, de la molécule ?**

... utilise les comportements fondamentaux de la Nature aux échelles “nanoscopiques” pour générer de nouvelles fonctionnalités / méthodes de fabrication / ...

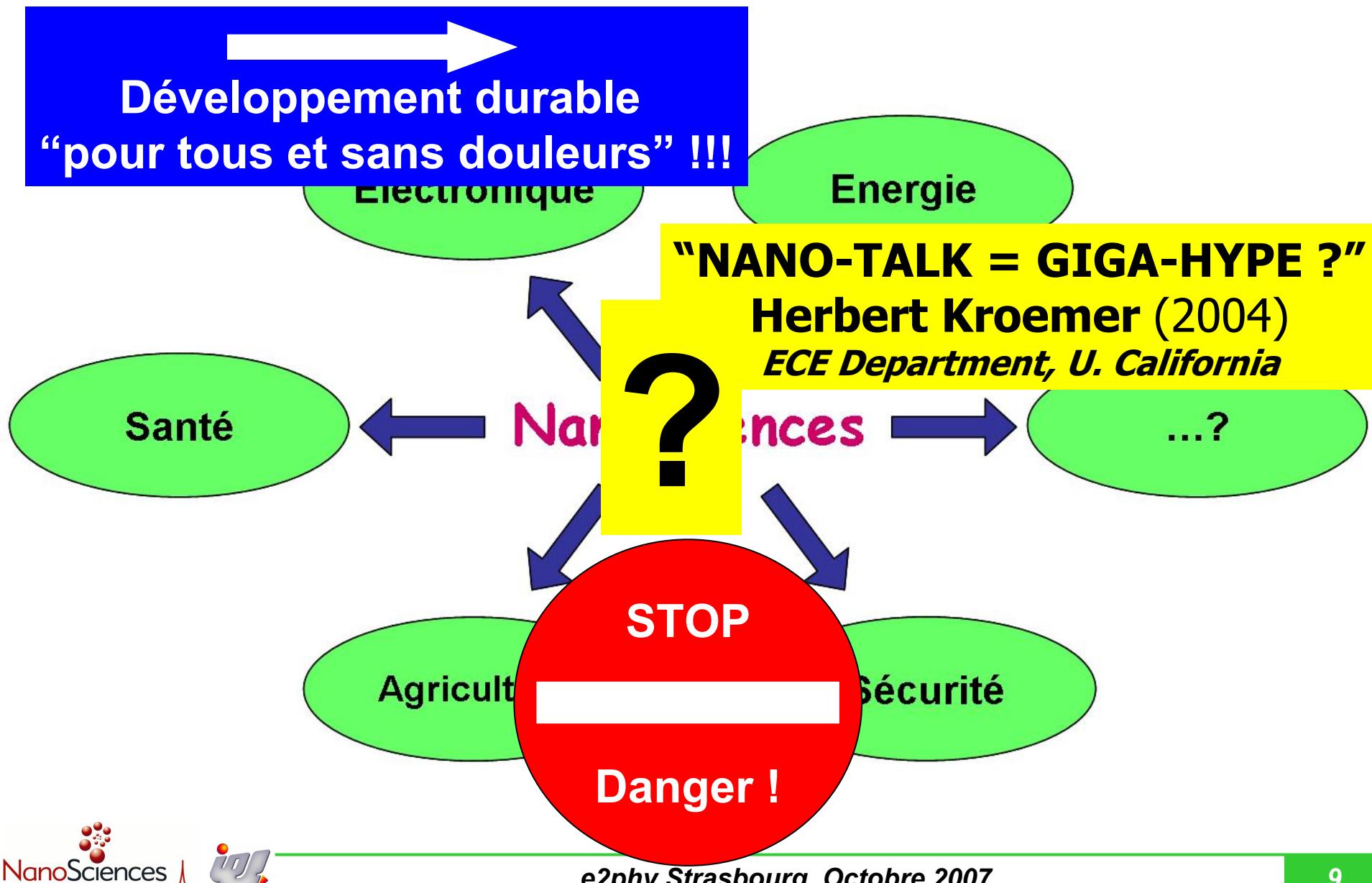
... en complément des autres moyens technologiques !!!!



... générateur de solutions !

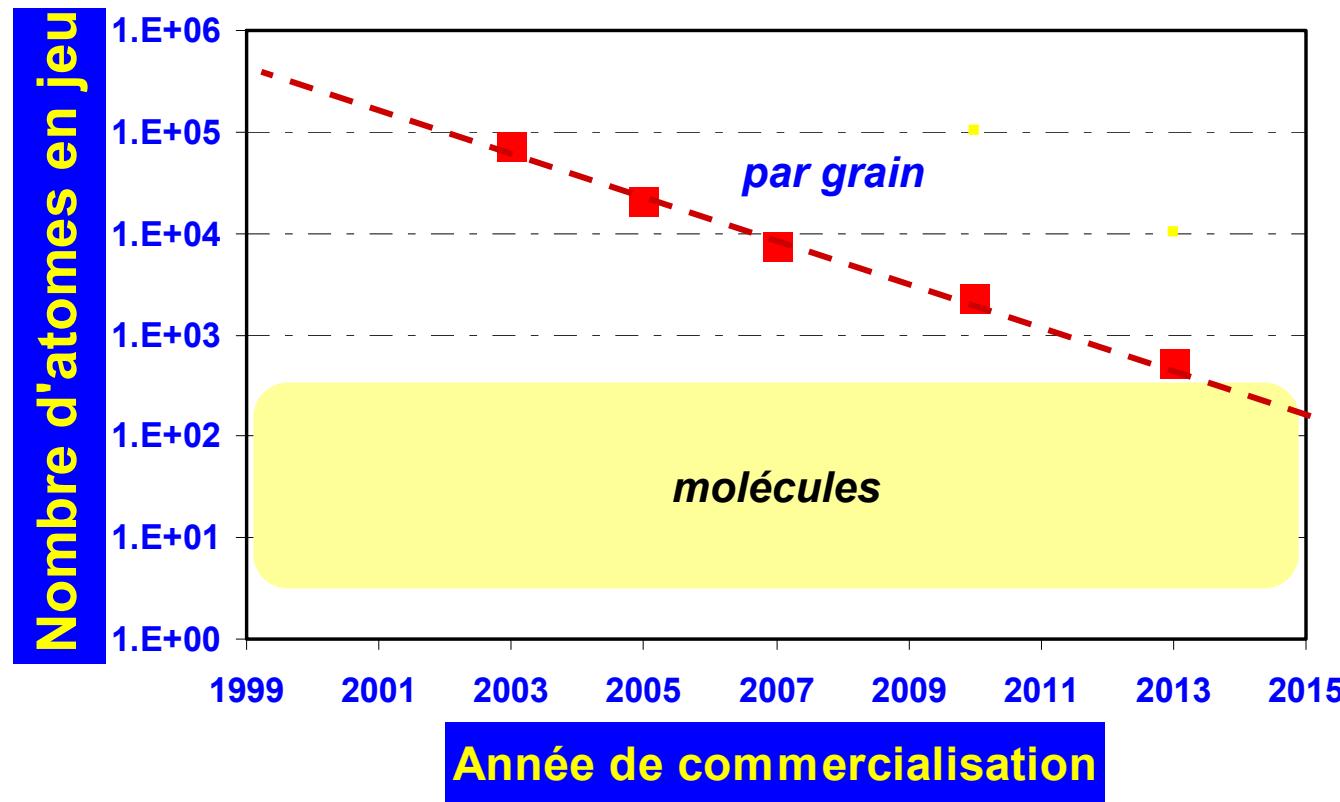


... générateur de solutions ?

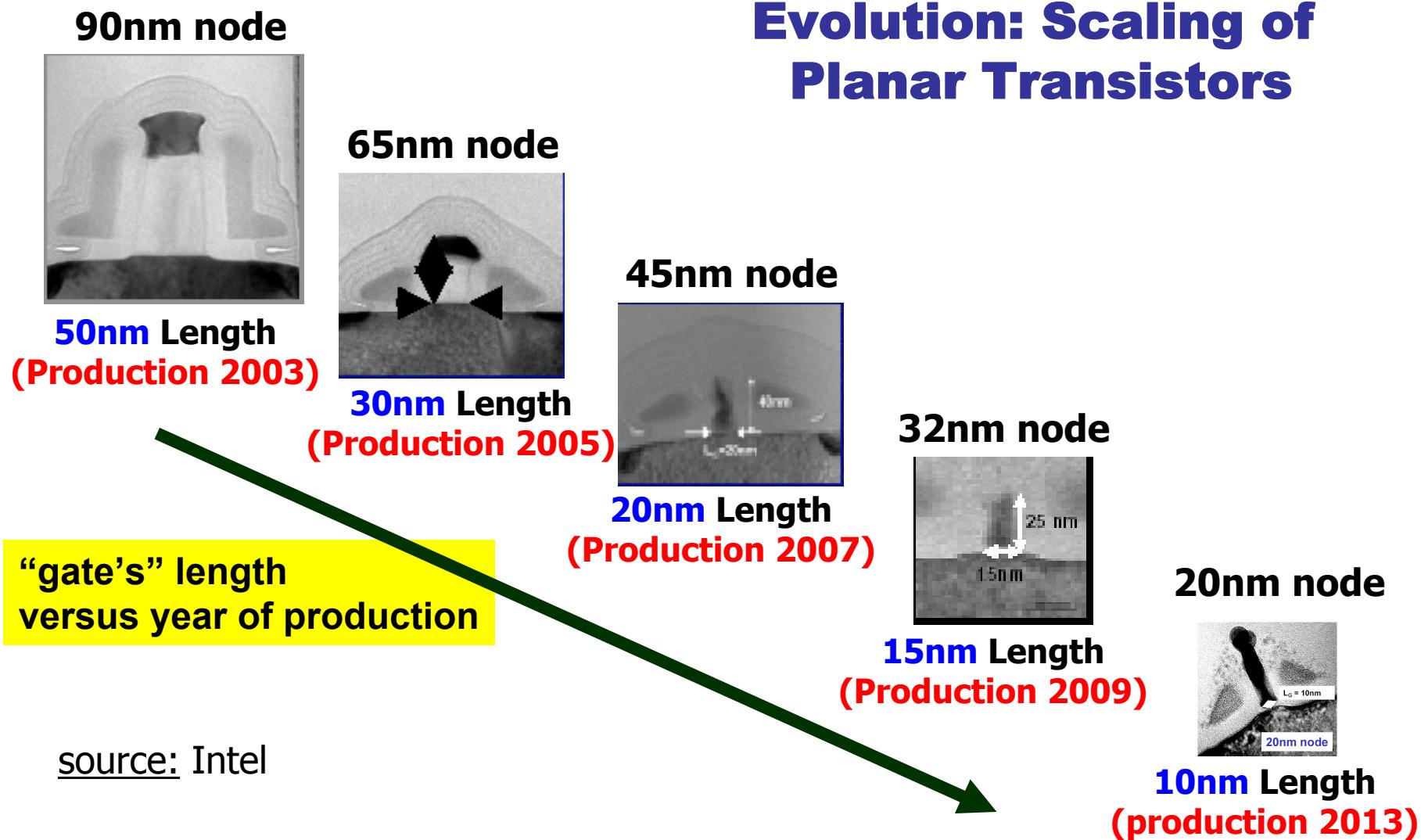


... en route vers les “nanos” ! (1)

~ quantité minimale de “matière magnétique” en jeu
dans l’enregistrement “disque dur”

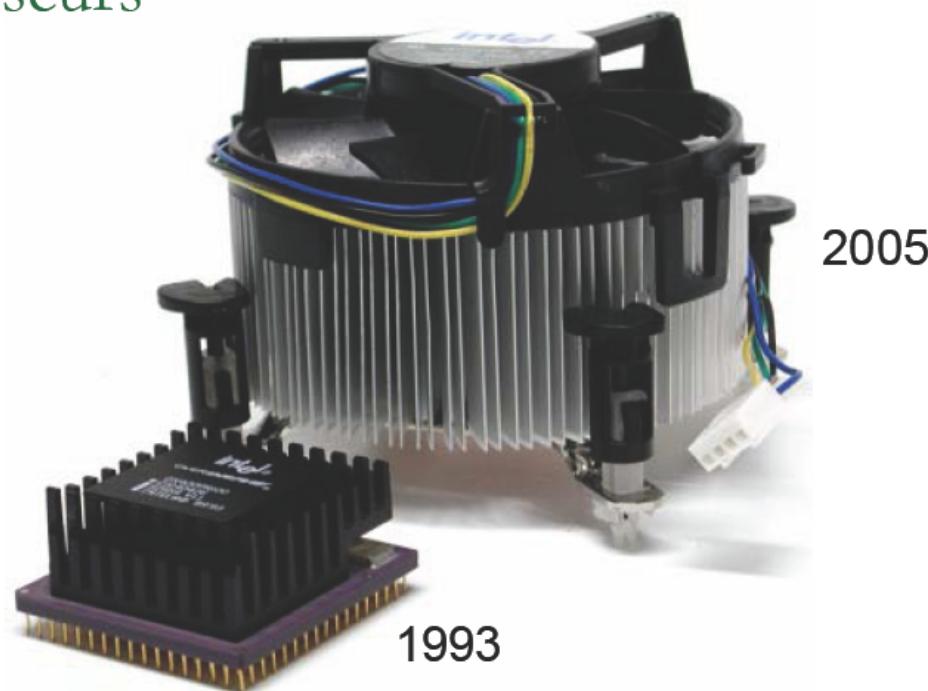


... en route vers les “nanos” ! (2)



Une autre motivation pour les nanosciences

Processeurs



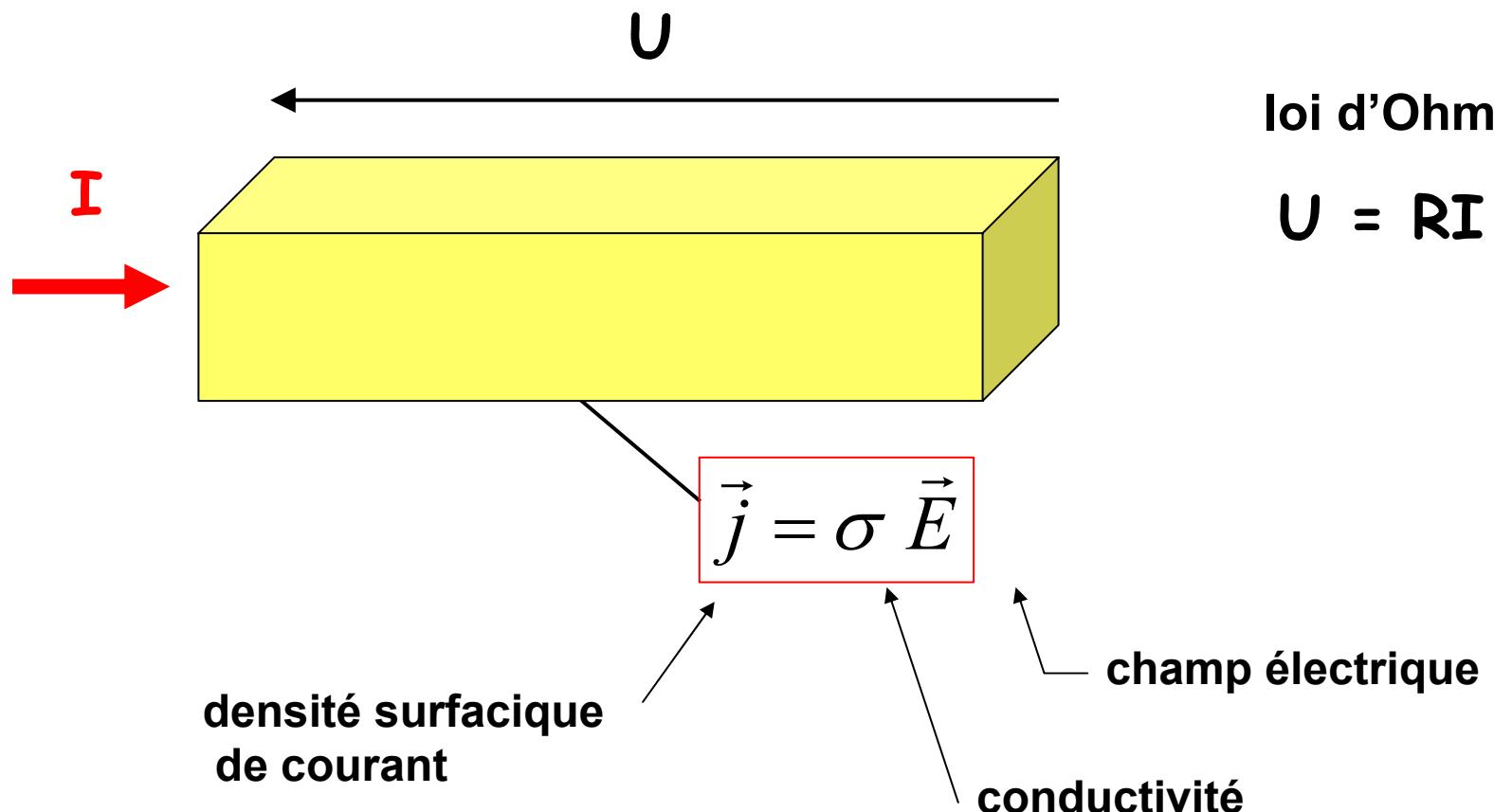
***La dissipation d'énergie dans les circuits électronique
est devenue un problème critique***



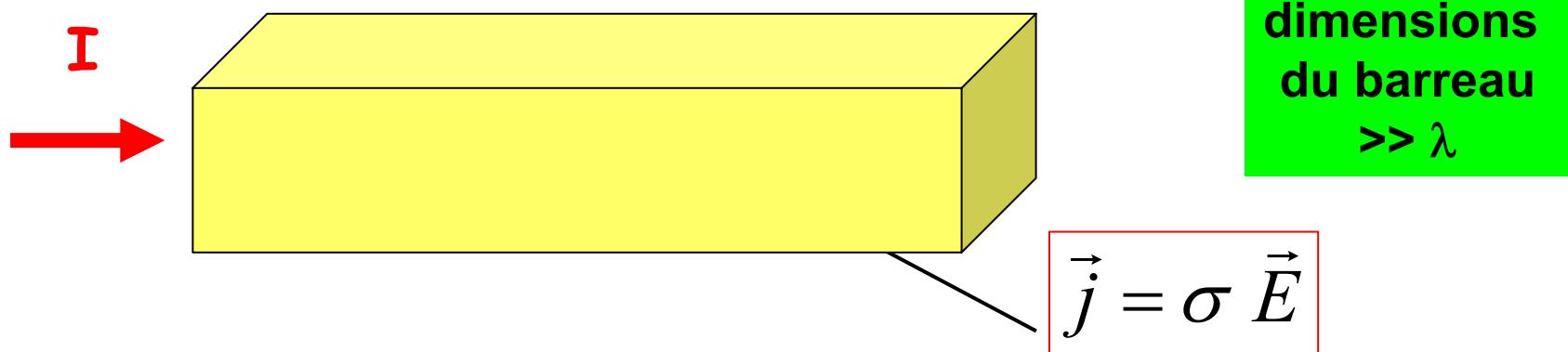
Plan de l'exposé

- Un peu de physique:
dimensions des circuits et longueurs fondamentales « naturelles »
→ l'électronique “de spin”, un exemple de nanosciences
- *impact pluridisciplinaires :*
... quelques exemples sur l'évolution des “mémoires”

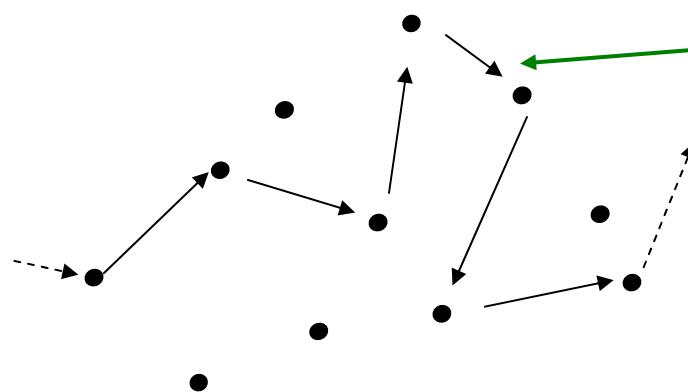
Le modèle « diffusif » de la conductance (Drude)



Le modèle « diffusif » de la conductance (Drude)



origine de la « résistance »: les électrons subissent des collisions sur les défauts, impuretés, etc...



\Leftrightarrow : *libre parcours moyen* λ
temps de relaxation τ

$$\vec{j} = \frac{Ne^2}{m_e} \tau \vec{E}$$

N = densité électronique / e = charge électronique
 m_e = masse de l'électron

... vers l'électronique de spin

L'électron a une charge et un « spin »



mécanique quantique:

→ projection du moment cinétique anulaire \vec{s} : $\pm \frac{1}{2} \hbar$

→ dipolar magnetic moment $\vec{m}_s = -g \frac{\mu_B}{\hbar} \vec{s}$



dans la conduction électrique, deux populations d'électrons cohabitent dans un métal classique :

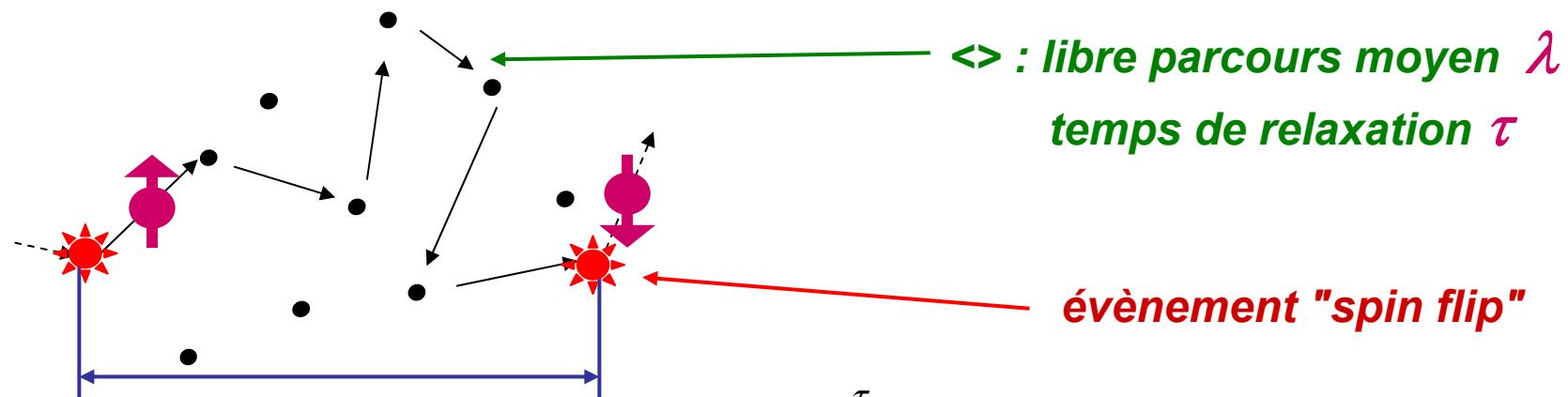
les électrons de spin « up » ou \uparrow

et les électrons de spin « down » ou \downarrow

directions repérées par rapport à l'axe de quantification du système

Les fondations de l'électronique de spin (1)

N. Mott, Adv. Phys 13, 325 (1964)

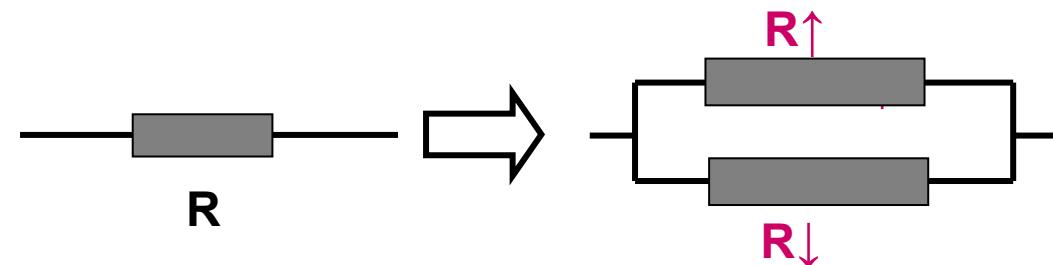


longueur de diffusion $l_{sd} \propto \sqrt{\lambda \lambda_{sf}}$

$$\sum_0^{\tau_{sf}} \lambda = \lambda_{sf} : \text{spin mean free path}$$

Dans les métaux classiques, très peu de collisions peuvent renverser le spin

→ ($l_{sd} \gg \lambda$) → “conduction à deux canaux” en parallèle



metal normal : $R\downarrow = R\uparrow$

Transport dépendant du spin dans les métaux ferromagnétiques

→ dans les métaux ferromagnétiques (e.g. Fe, Co, Ni) et leurs alliages :

- l'axe de quantification est la direction de l'aimantation
- très forte différence entre les taux de collision des électrons de spin antiparallèle (up ou \uparrow) ou parallèle (down ou \downarrow) à l'aimantation :

→ libre parcours moyen $\lambda_{\uparrow} \gg \lambda_{\downarrow}$

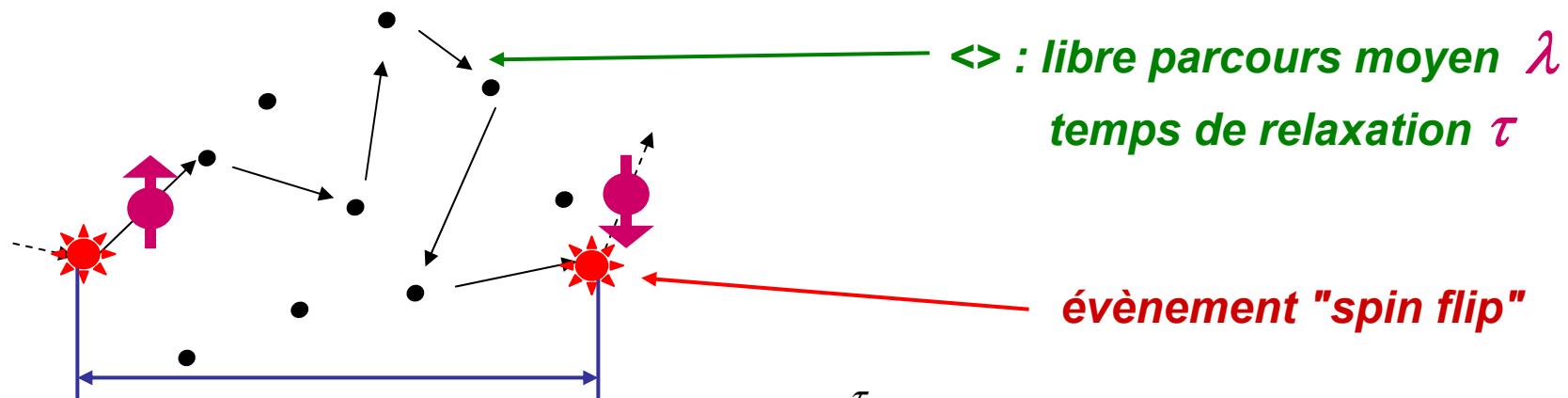
(qques 10nm) (qques nm)

→ temps de relaxation $\tau_{\uparrow} \gg \tau_{\downarrow}$

→ resistivité $\rho_{\uparrow} \ll \rho_{\downarrow}$

Les fondations de l'électronique de spin (1)

N. Mott, Adv. Phys 13, 325 (1964)

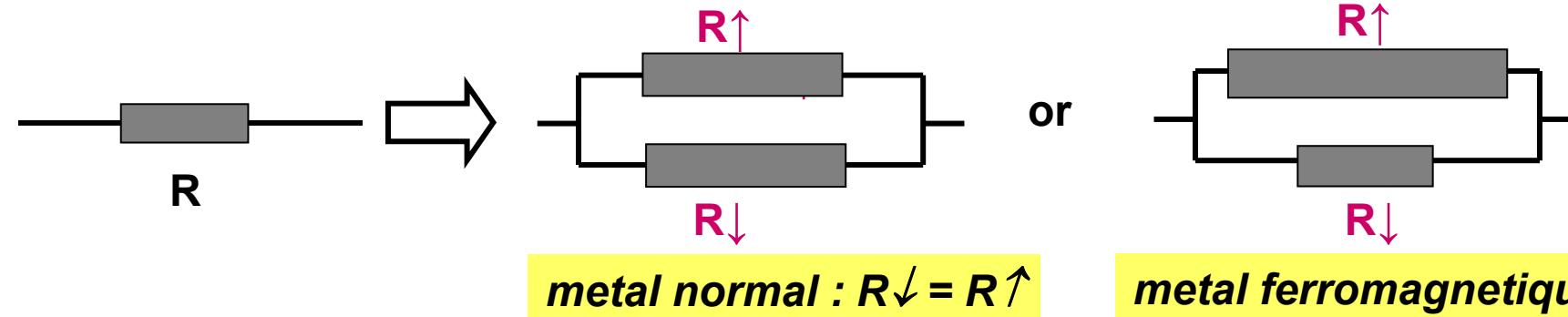


$$\text{longueur de diffusion } l_{sd} \propto \sqrt{\lambda \lambda_{sf}}$$

$$\sum_0 \lambda = \lambda_{sf} : \text{spin mean free path}$$

Dans les métaux classiques, très peu de collisions peuvent renverser le spin

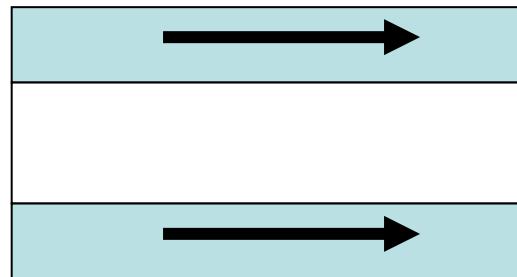
→ ($l_{sd} \gg \lambda$) → “conduction à deux canaux” en parallèle



Les fondations de l'électronique de spin

Pour « voir » ces deux courants, il faut fabriquer un matériau avec une structuration interne à l'échelle des libres parcours moyens $\lambda \uparrow$ et $\lambda \downarrow$:

la vanne de spin



F couche ferromagnétique

NM couche non magnétique (cuivre, ..)

F couche ferromagnétique

“nano” input :

$$\lambda \uparrow > e_{couches} > \lambda \downarrow$$

L'effet de vanne de spin

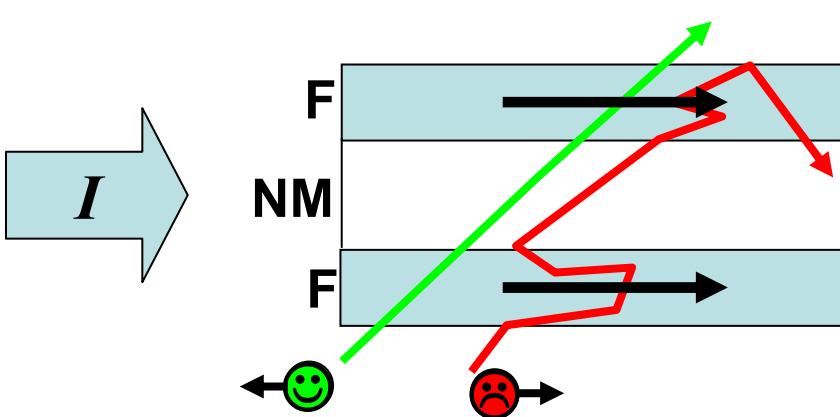
1988: Fert *et al.* (Orsay) and Grünberg *et al.* (Jülich)

- $\lambda_{\downarrow} \ll \lambda_{\uparrow}$ $\rightarrow \rho_{\downarrow} \gg \rho_{\uparrow}$

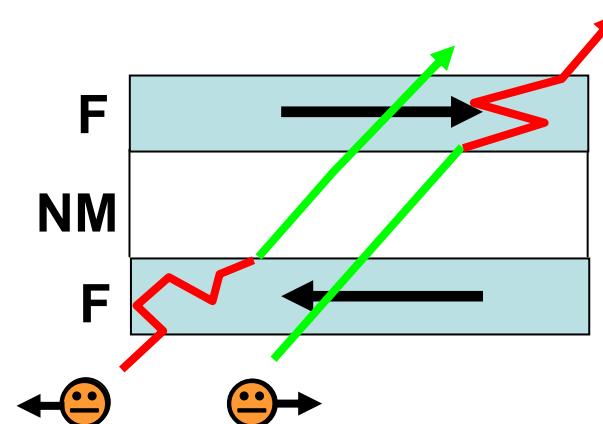
"nano" input !!!!

$$\lambda_{\uparrow} > t_{layers} > \lambda_{\downarrow}$$

configuration parallèle



configuration antiparallèle

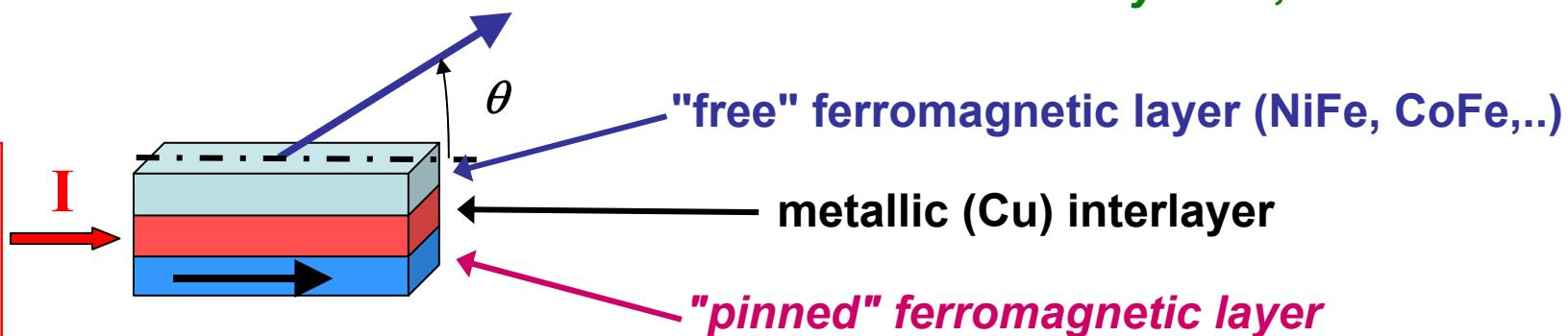


$$R_P < R_{AP}$$

A first useful device : the "spin valve"

B. Dieny et al., PRB 1991

current
in plane
(CIP)



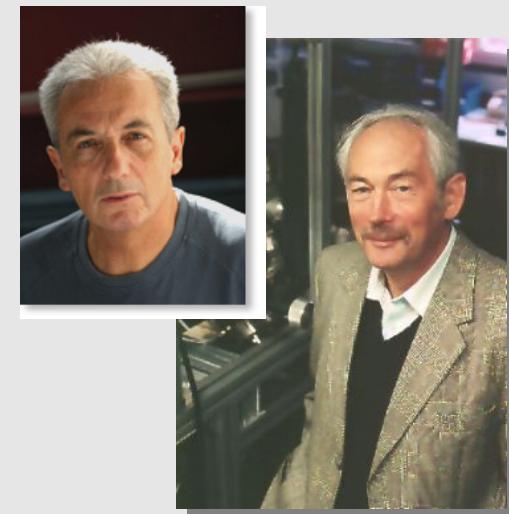
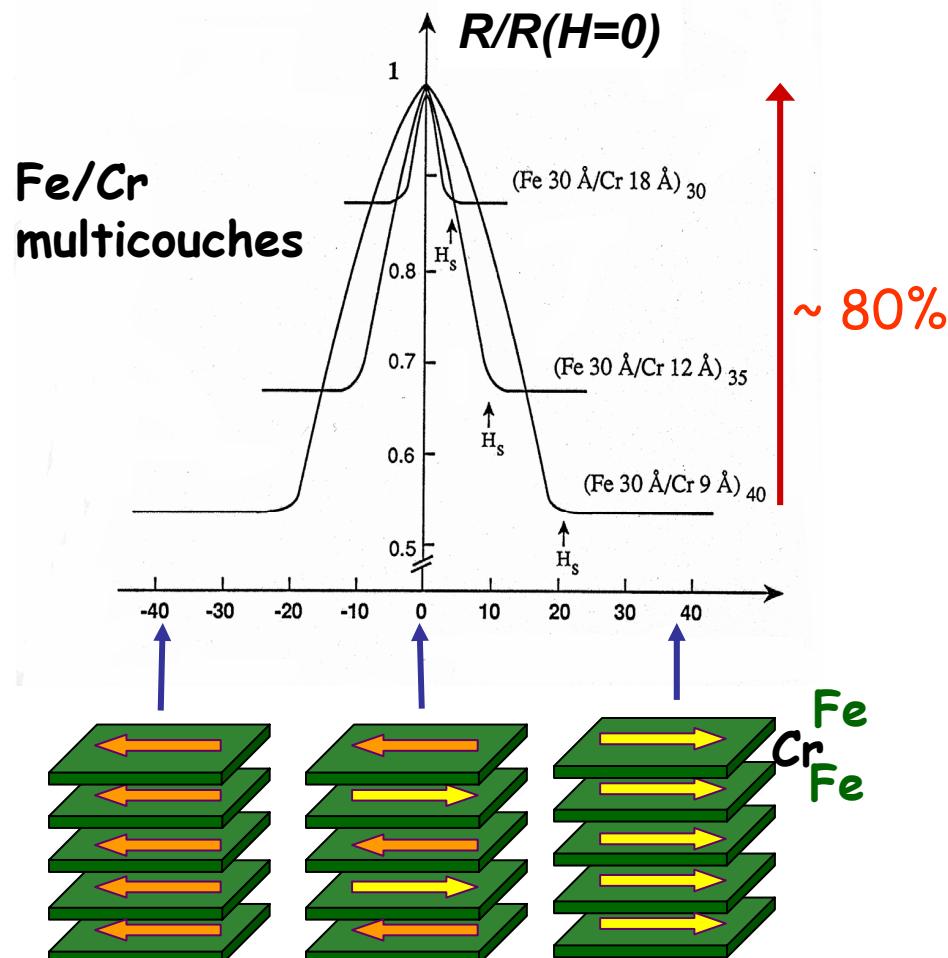
$$R = R_0 - \Delta R/2 \cos (\theta)$$

$$\Delta R/R \uparrow\uparrow \sim 6 \text{ à } 20 \%$$

A convenient, compact, high sensitivity magnetic sensor !

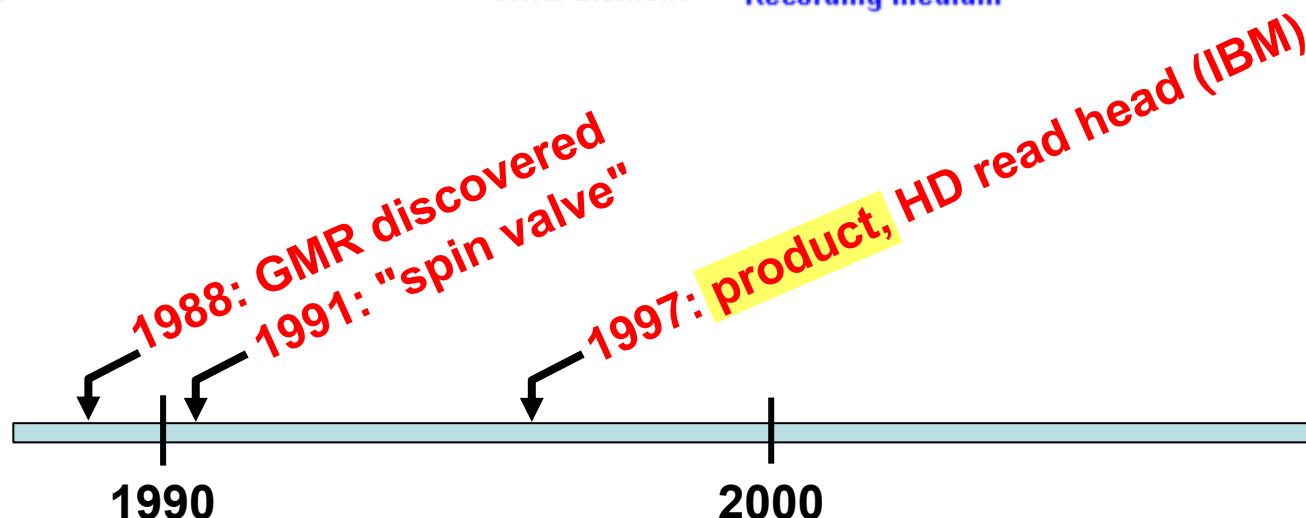
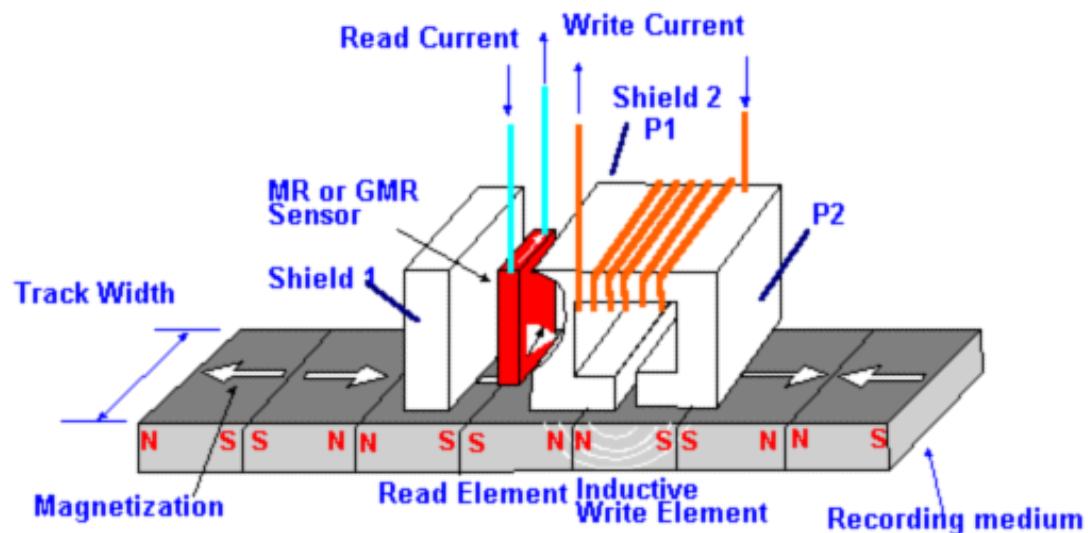
Le premier pas de l'électronique de spin

1988: La magnétorésistance géante (GMR) dans les multicouches magnétiques



1988: GMR découverte simultanément par **Fert et al.** (Orsay) et **Grünberg et al.** (Jülich)

The first "Spin Electronics" product: the "spin valve" read head in hard disk



Hard Disk recording: new markets with huge areal density increase



PCs de bureau, serveurs, RAID,



portable
(SONY VAIO)



camera video
SONY / 30 GB

Seagate
1" / 12 GB

DVD RW + disque dur
(PHILIPS)



aussi: décodeurs, TV, avec disque dur

Apple
iPod video
80 GB

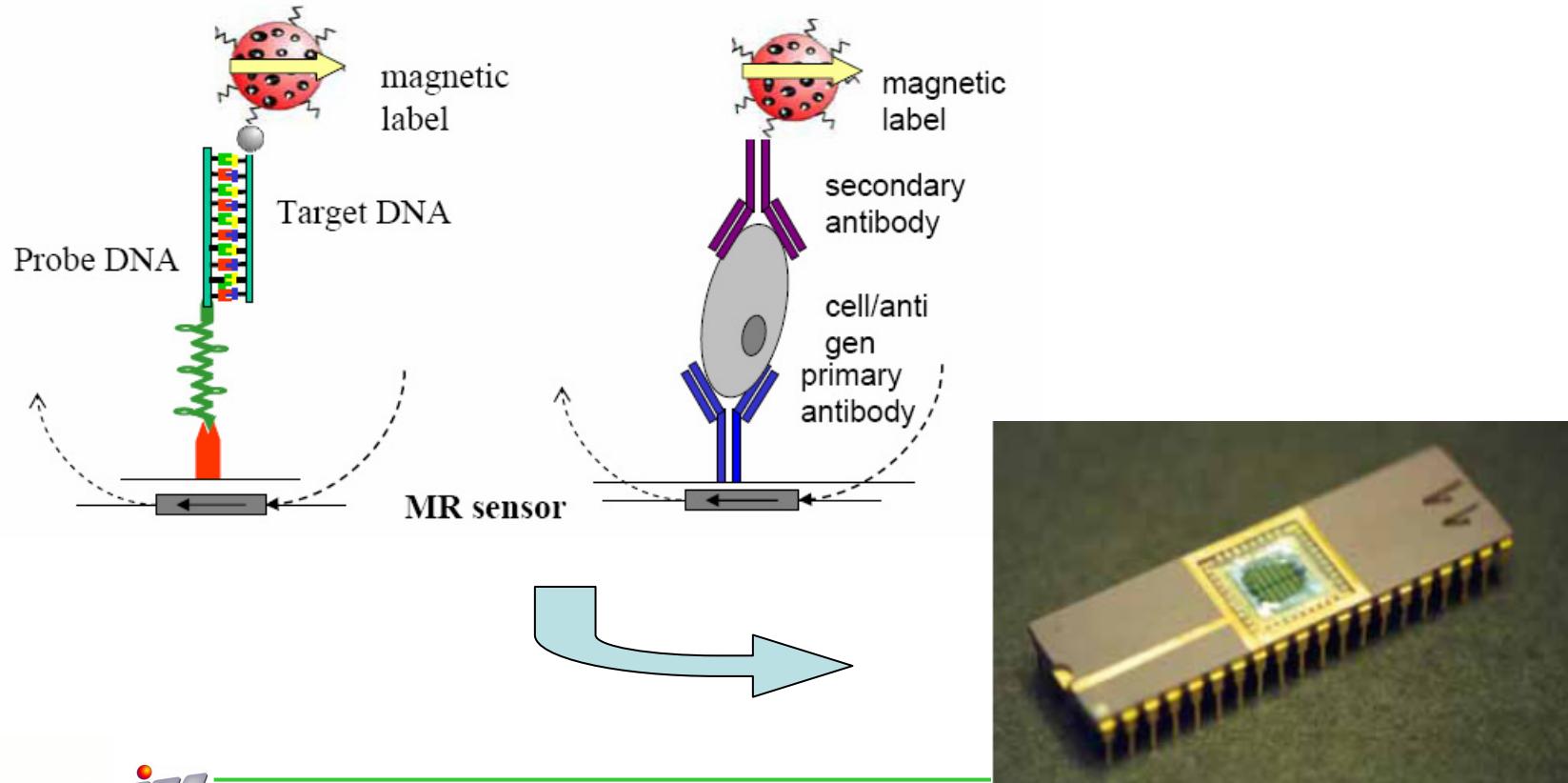


disque durs pour l'électronique « grand public »:
• 15% de 240 M en 2004 → 40% de 700 M en 2008
• ~10-20 HDs / domicile en 2010 (cf Hitachi GST)

Spin valve sensor for the magnetic "Biochip"

P. Freitas et al, INESC Lisbonne (Portugal) <http://www.inesc-mn.pt>

*magnetic detection using spin-valve sensors
of biological molecules tagged by magnetic beads (few 100 nm) in solution*





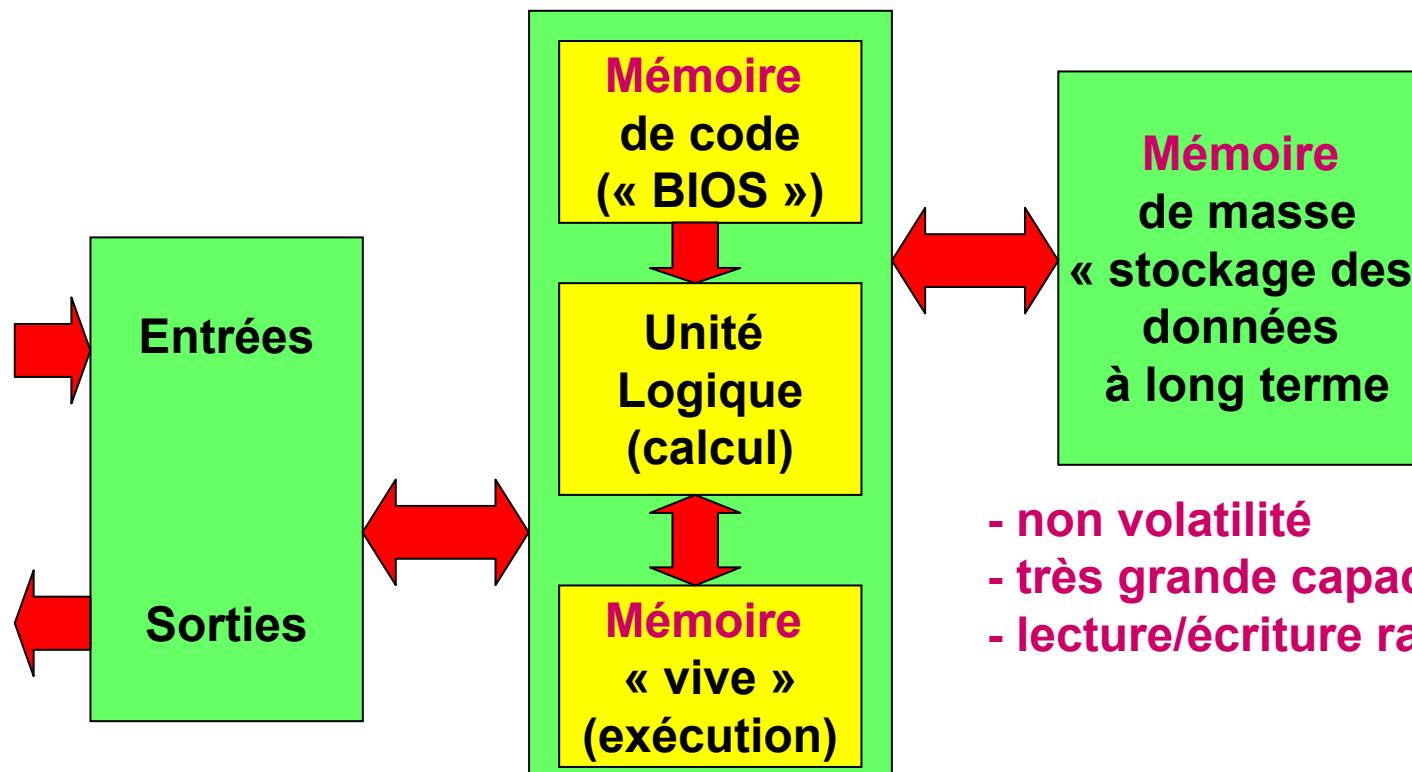
Plan de l'exposé

- Un peu de physique:
 - dimensions des circuits et longueurs fondamentales « naturelles »*
 - ➔ l'électronique “de spin”, un exemple de nanosciences
- *impact pluridisciplinaires :*
 - ... quelques exemples sur l'évolution des “mémoires”

La “mémoire” dans l'informatique

Exemple:
un ordinateur...

- non volatilité
- faible capacité
- lecture rapide

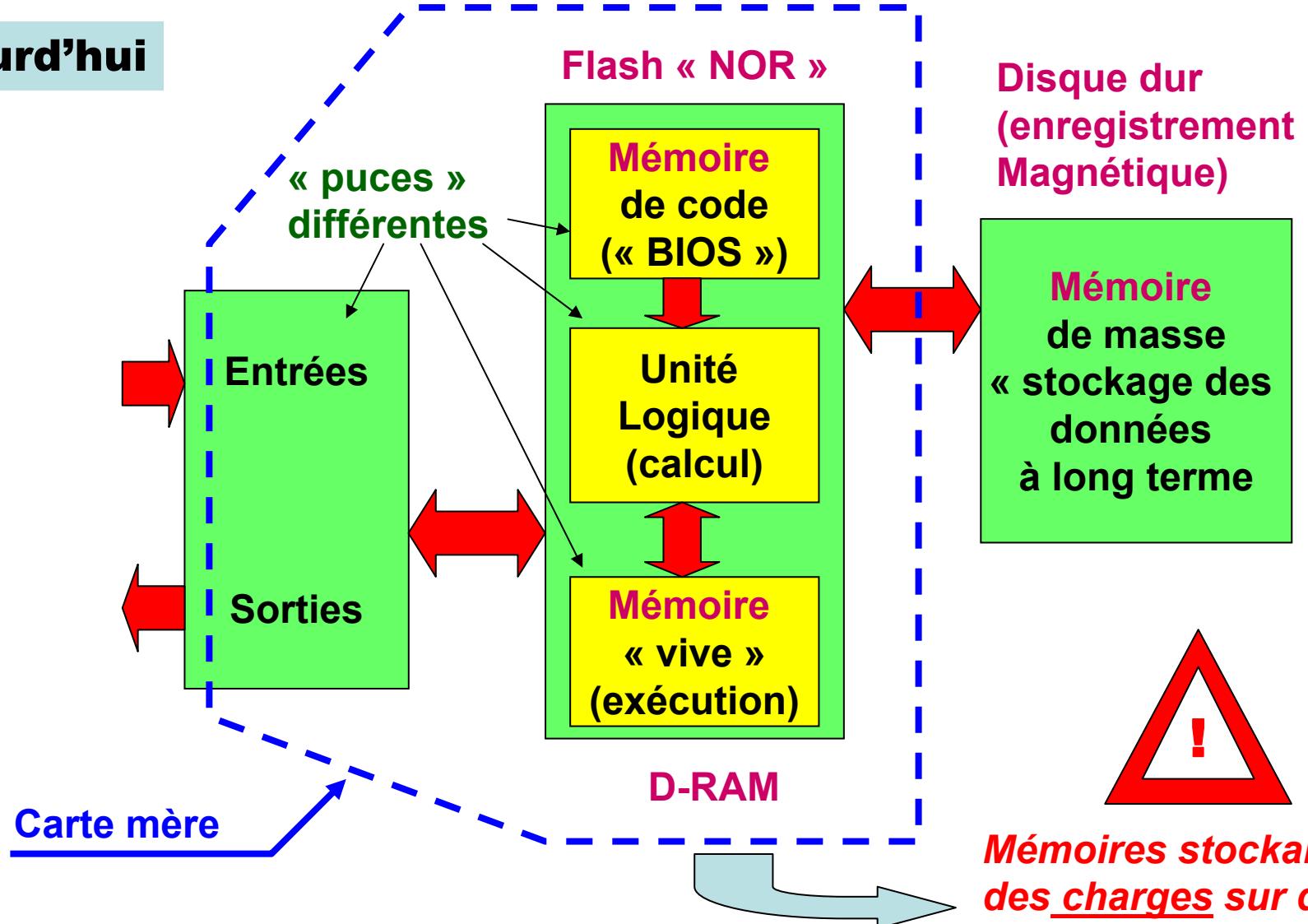


- non volatilité
- très grande capacité
- lecture/écriture rapide

- grande capacité
- lecture/écriture très rapide

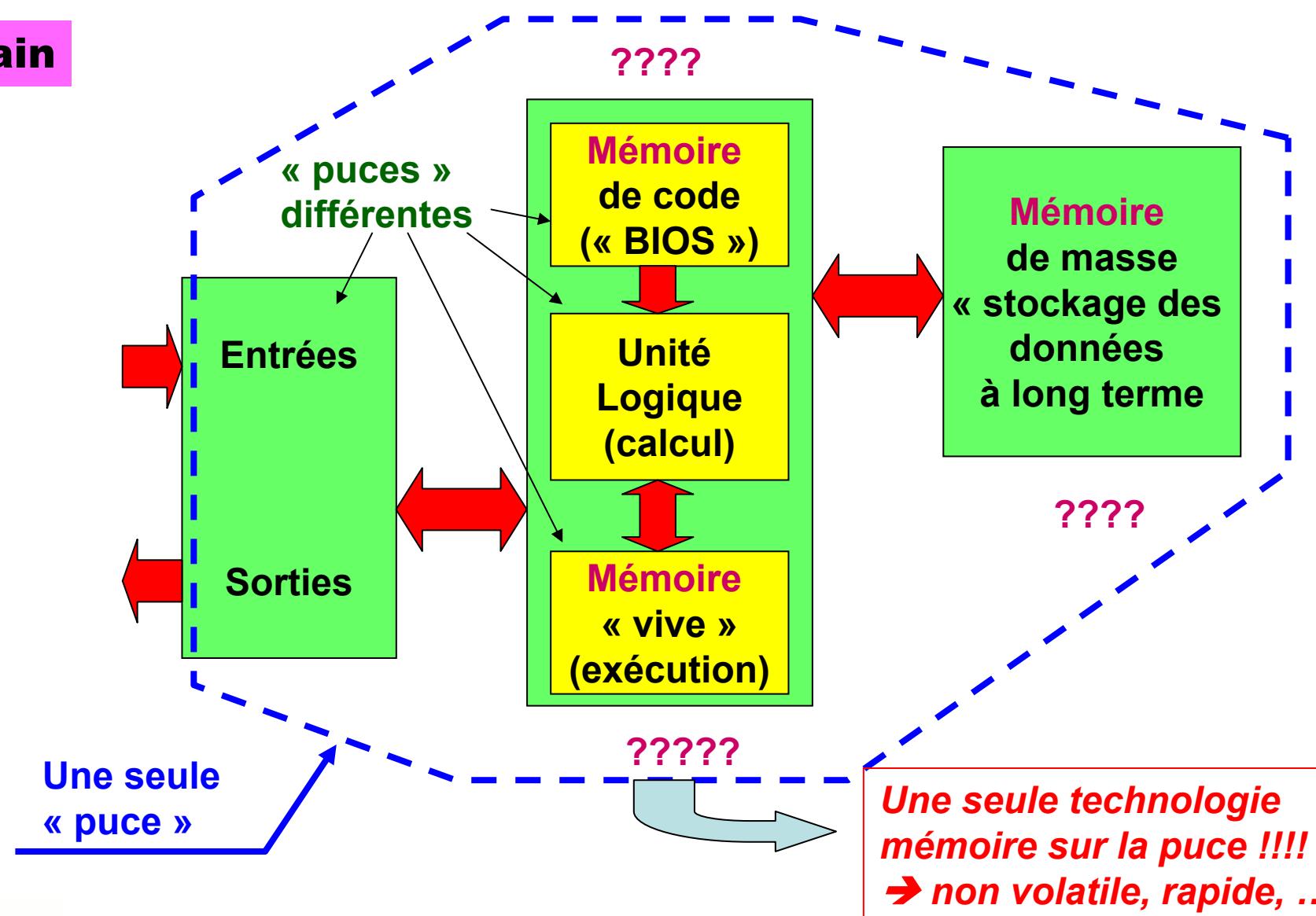
La “mémoire” dans l'informatique

Aujourd’hui



La “mémoire” dans l'informatique

demain



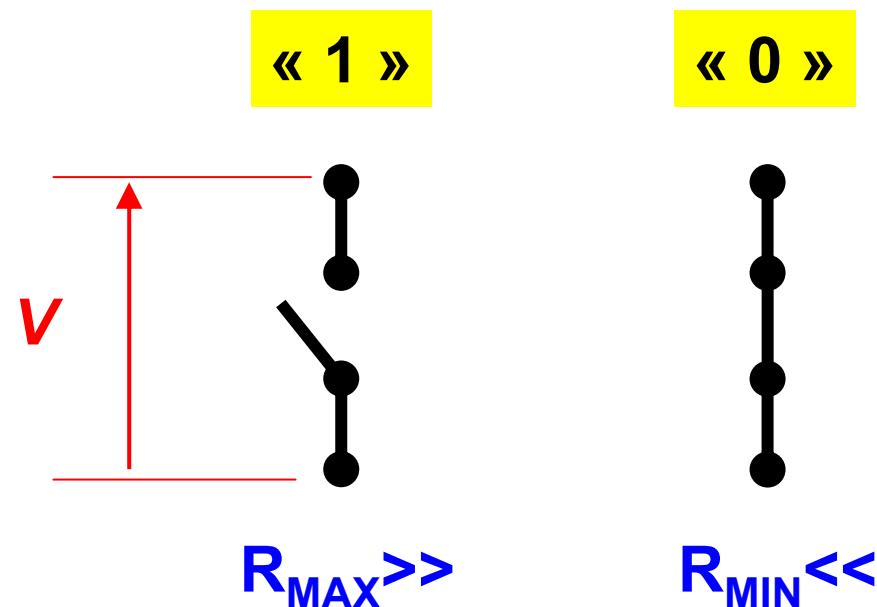
Le principe de la mémoire “résistive” (1)

Cellule de base:

un « nano-interrupteur » à au moins 2 positions

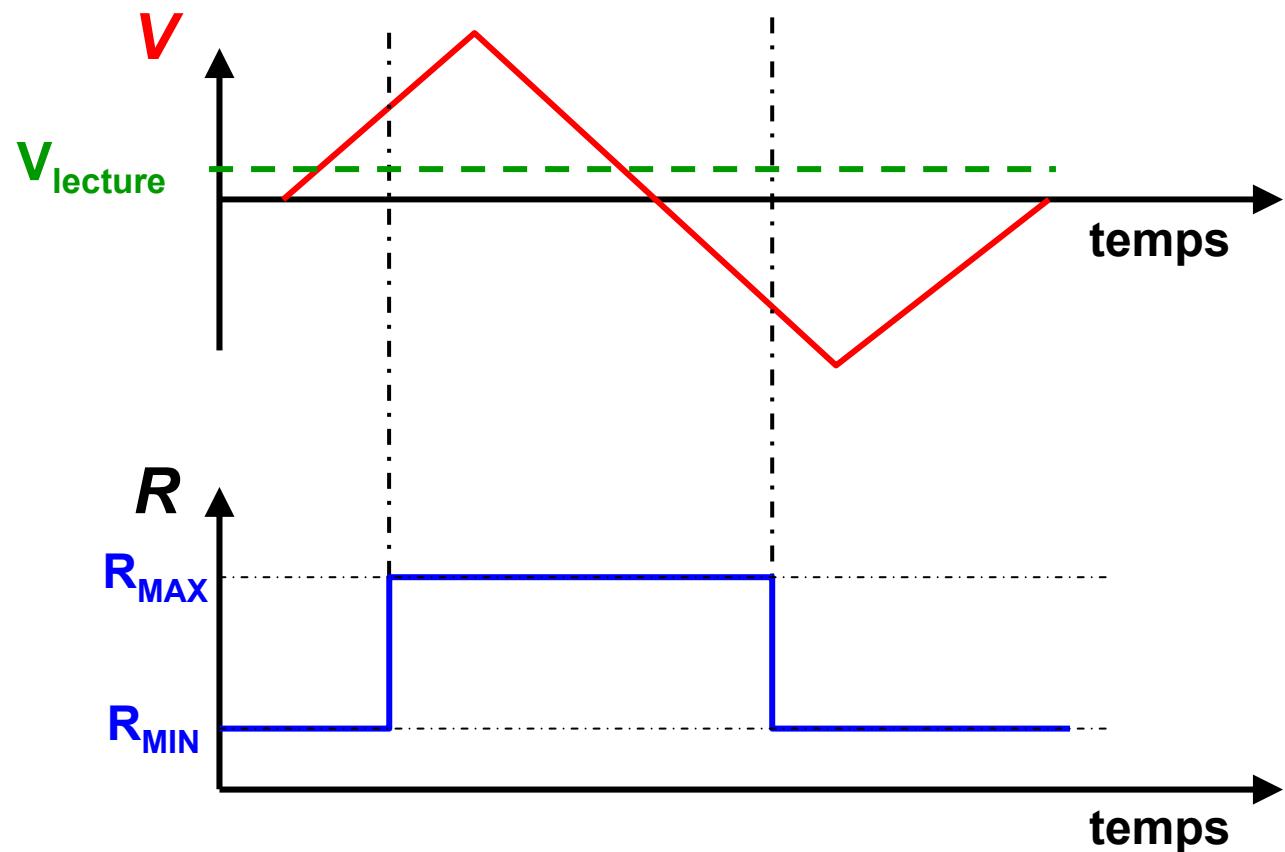
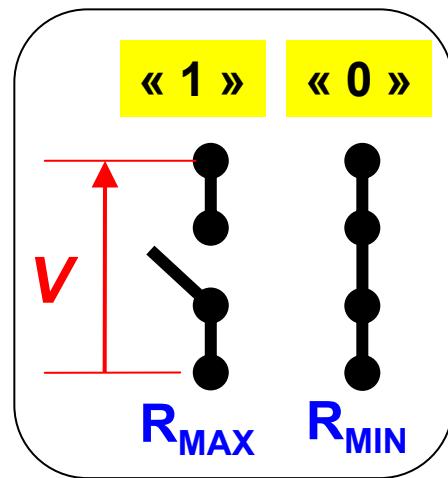
pour stocker l'information binaire ...

.... « programmable »
par une tension

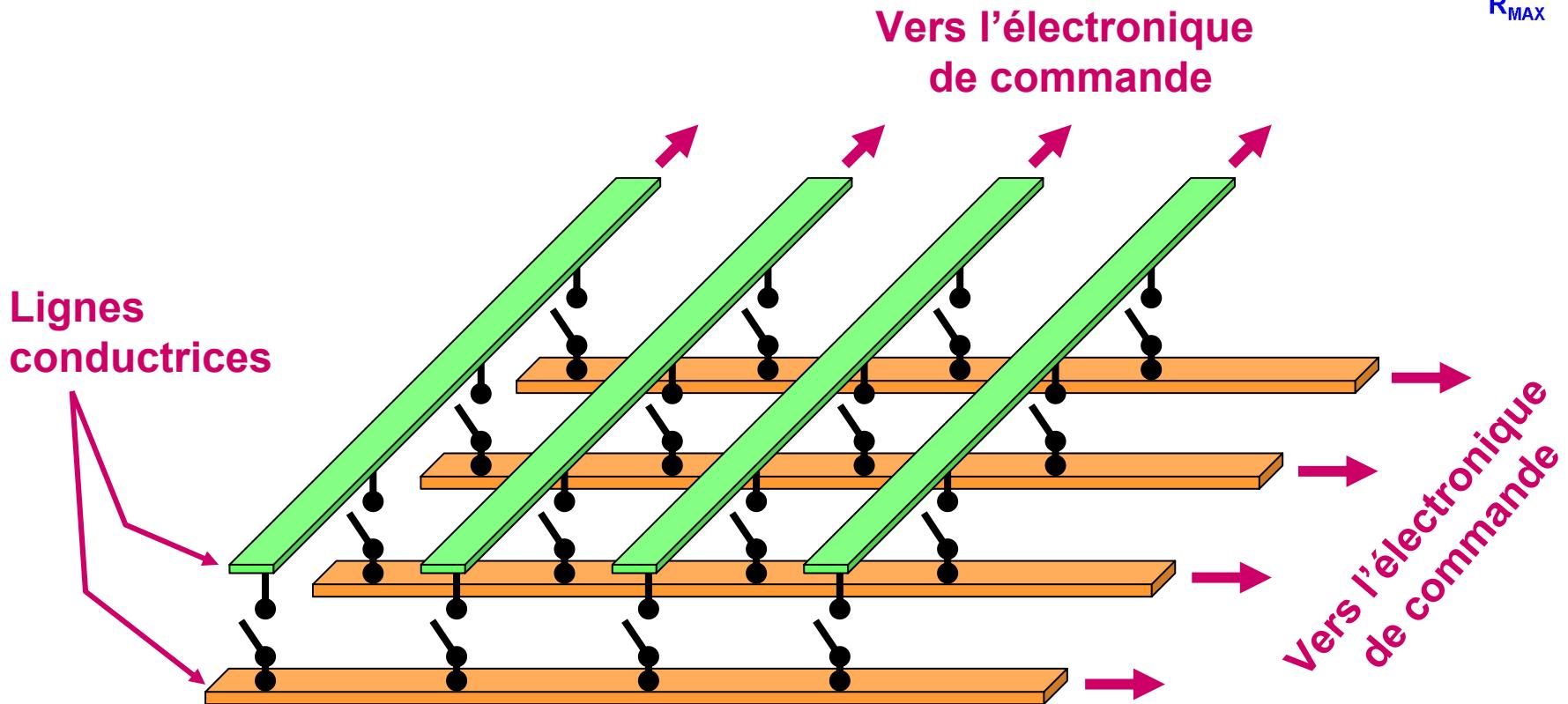
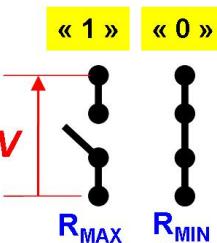


Le principe de la mémoire “résistive” (2)

Exemple de programmation du nano-interrupteur par une tension :

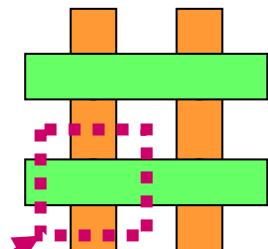
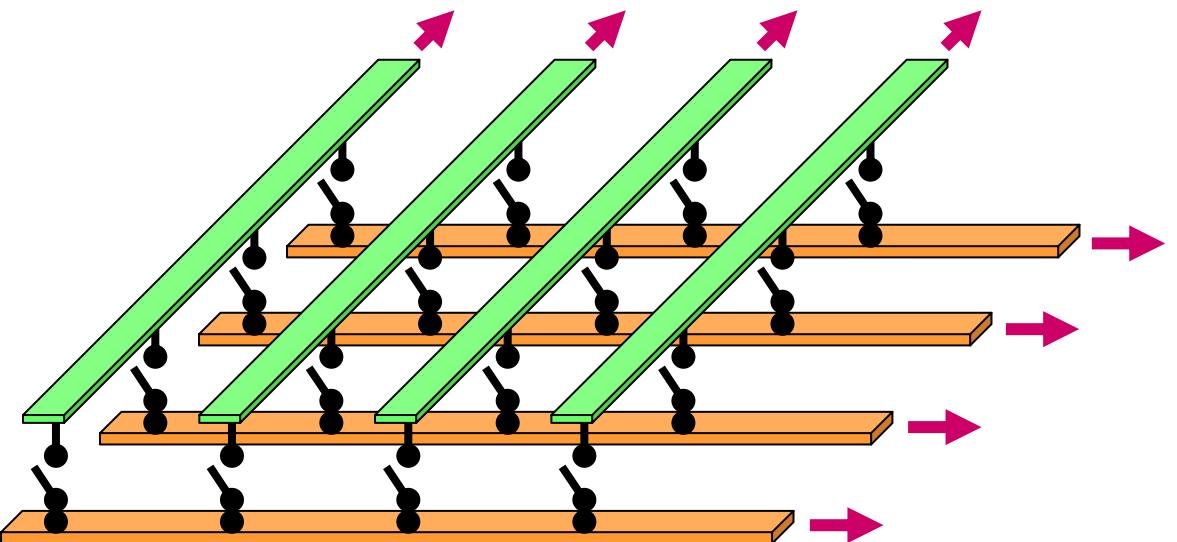
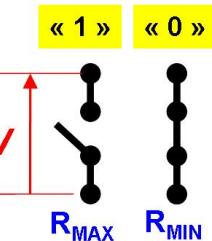


L'architecture mémoire matricielle de base ("cross point") d'une « R-RAM »



Accès « aléatoire » (= indépendant) à chaque cellule / bit d'information
→ « RAM » pour « Random Access Memory »

L'architecture mémoire matricielle de base (“cross point”) d'une « R-RAM »



Taille latérale minimale de la cellule limitée par:

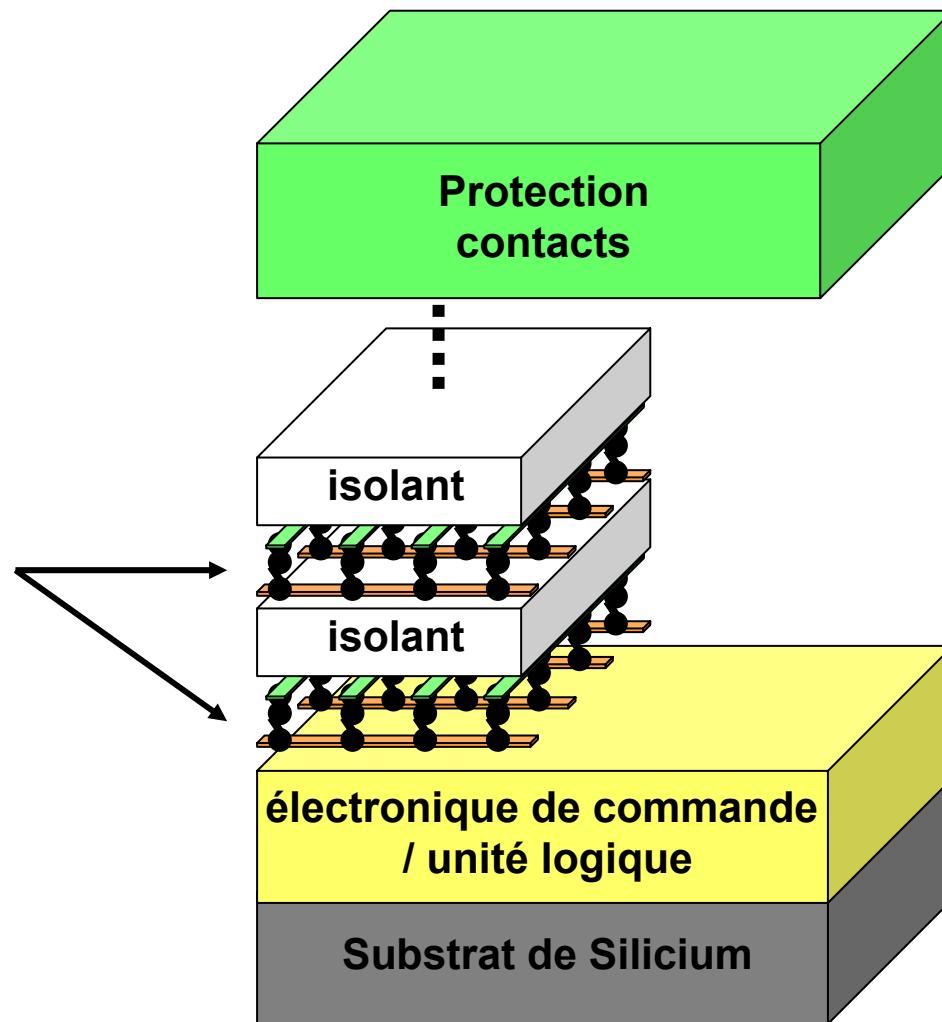
- taille du nano-interrupteur
- taille des pistes (dépend du courant de commande)

Valeurs à « concurrencer » :

- | | |
|----------------------|--|
| - mémoire « Flash »: | 1 bit $\sim 130 \times 130 \text{ nm}^2$ |
| - disque dur : | 1 bit $\sim 30 \times 120 \text{ nm}^2$ |

Vers une mémoire tri-dimensionnelle

Couches « mémoire », connectées à la logique par des « vias » verticaux (non dessinés)



Les mémoires « à changement de phase » (1)

PC-RAM ou P-RAM, pour : Phase Change Random Access Memory

→ matériau de type $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (« GST ») qui peut exister à température ambiante sous deux formes :

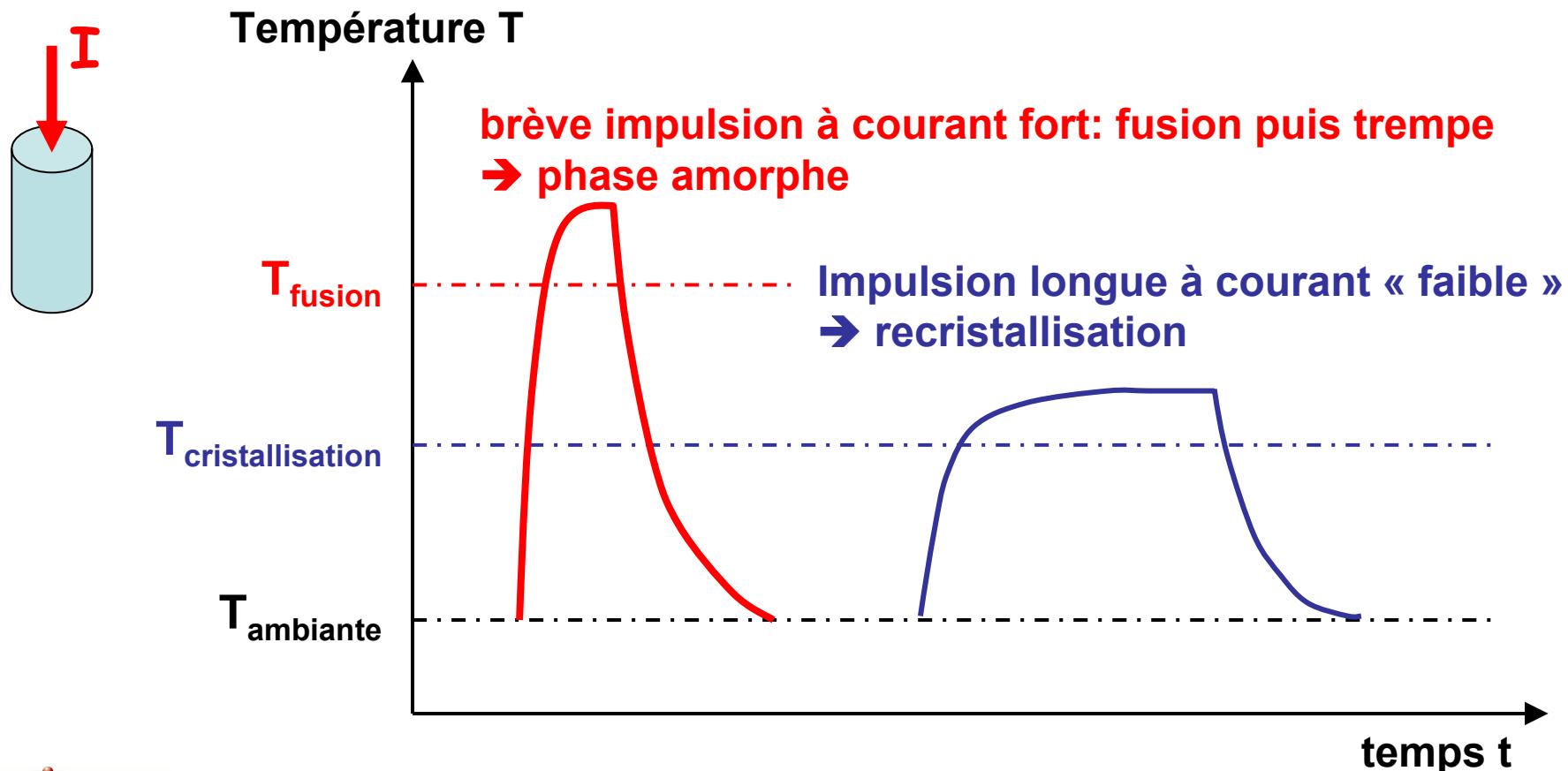
- **crystalline**, stable, faible resistance → R_{MIN}
- **amorphe**, metastable, forte resistance → R_{MAX}

→ rapport $R_{\text{MAX}} / R_{\text{MIN}}$ de 100 à 1000

Les mémoires « à changement de phase » (2)

PC-RAM ou P-RAM, pour : Phase Change Random Access Memory

→ programmation par impulsion de courant dans un barreau de GST



Les mémoires « à changement de phase » (3)

PC-RAM ou P-RAM, pour : Phase Change Random Access Memory

→ candidat « le plus probable » à la succession des mémoires Flash
(Samsung: circuit de démonstration 512 Mbits en 2006)

mais quand ?

→ avantages: assez compacte, assez rapide (~ 60 ns / cycle)

→ inconvénients:

- températures élevées (~600 °C) → fiabilité ?
- courants de commande élevés
- écriture en courant et pas en tension → il faut rajouter un

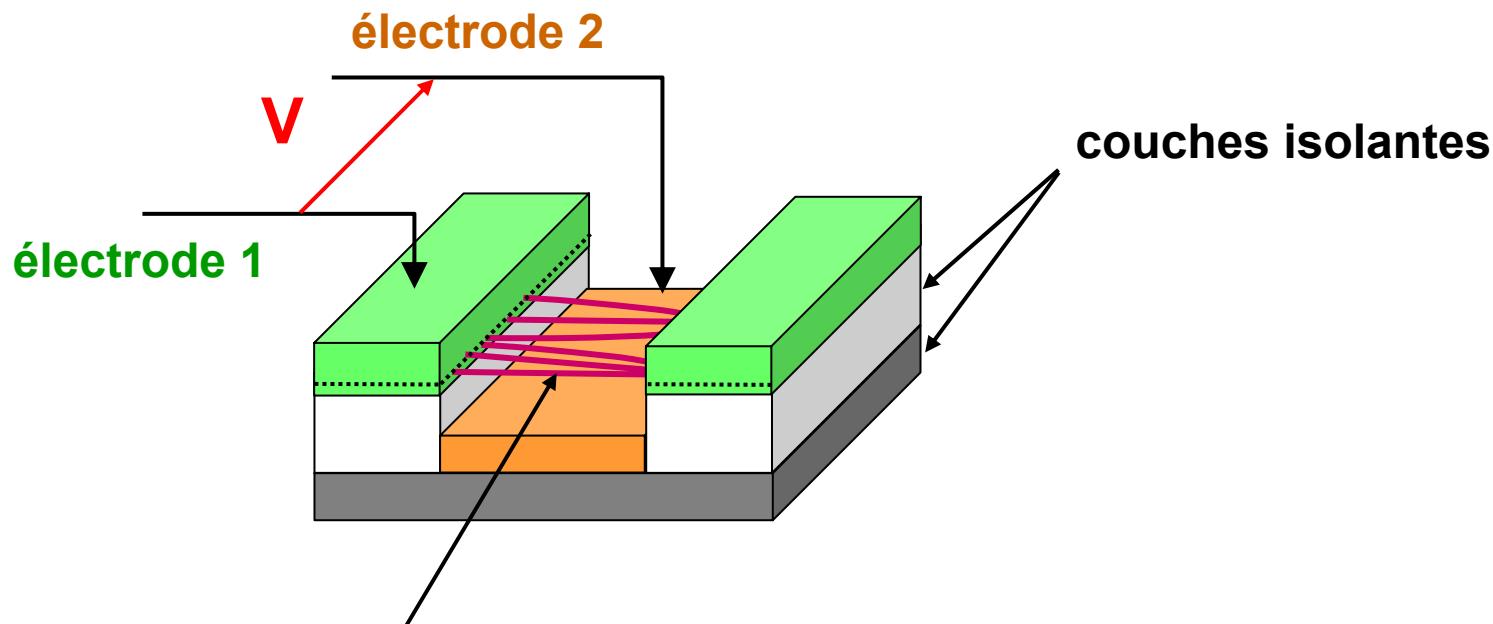
transistor par cellule

→ mémoire « inventée » il y a plus de 30 ans, mais pas encore sur le marché

Une mémoire « nano-mécanique » (1)

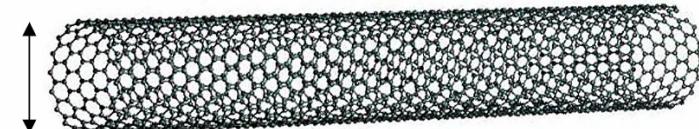
mémoire N-RAM développée par la société NANTERO (www.nantero.com)

principe du nano-interrupteur:



nanotubes de carbone:

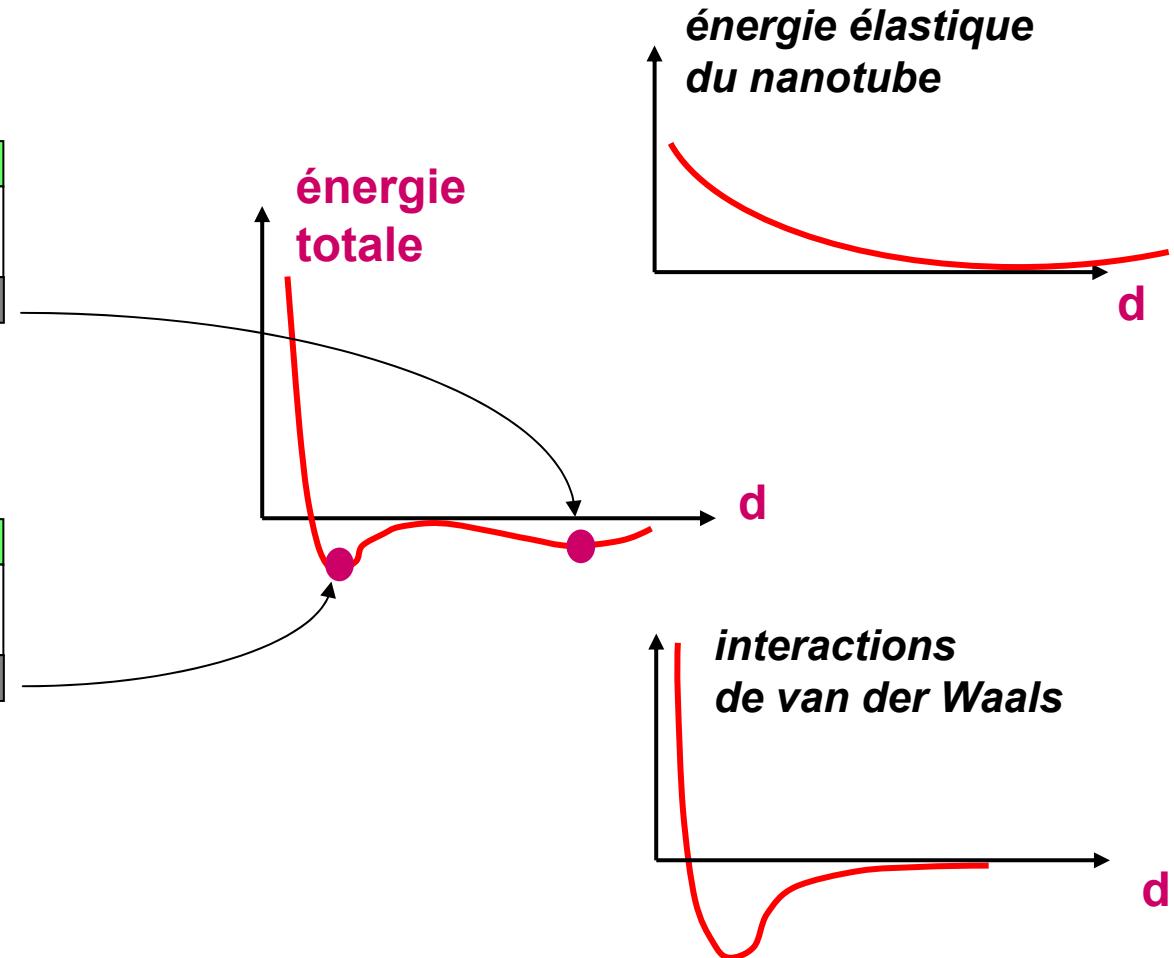
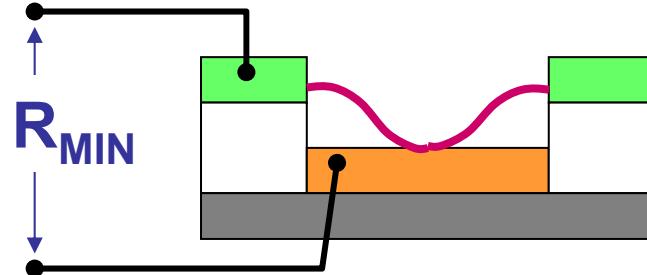
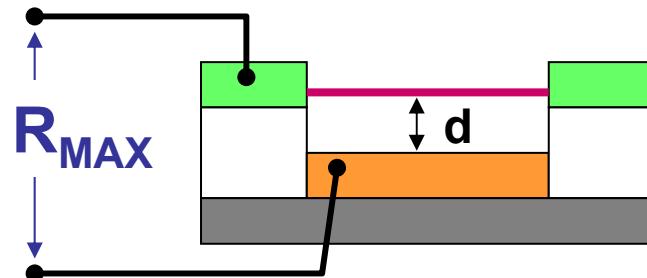
*rigides et très solides: 20 à 60 fois
plus résistant à la rupture qu'un
câble d'acier*



Une mémoire « nano-mécanique » (2)

mémoire N-RAM développée par la société NANTERO (www.nantero.com)

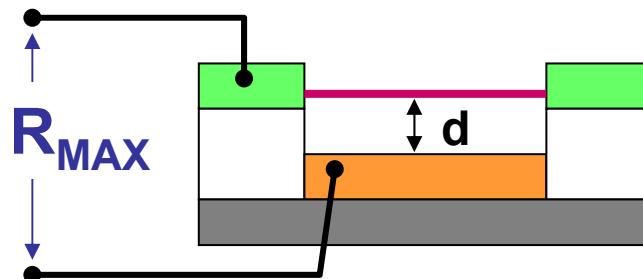
principe du nano-interrupteur: deux états stables



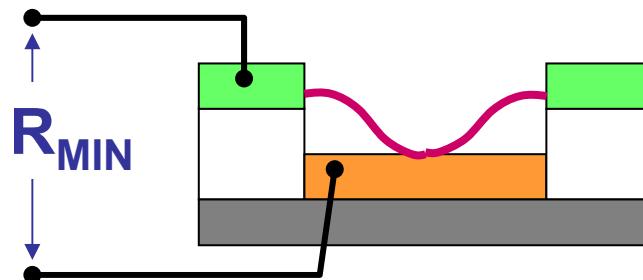
Une mémoire « nano-mécanique » (3)

mémoire N-RAM développée par la société NANTERO (www.nantero.com)

principe du nano-interrupteur: deux états stables de résistance très différente



et passage de l'un à l'autre
par « tension appliquée » :

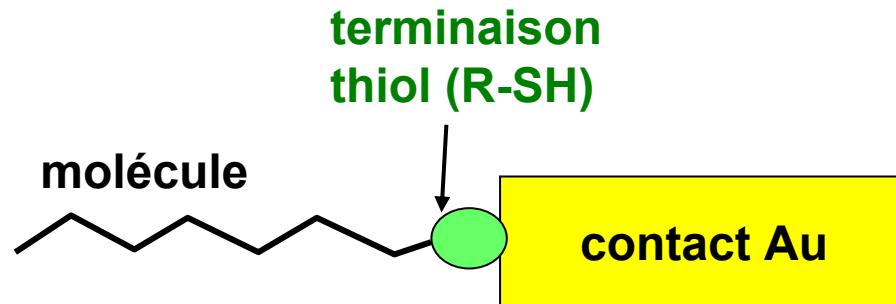


→ force électrostatique entre
l'électrode inférieure et le
nanotube chargé

la start-up NANTERO (associée à HP) annonce des succès techniques,
trouve des financements, et commence à vendre des licences

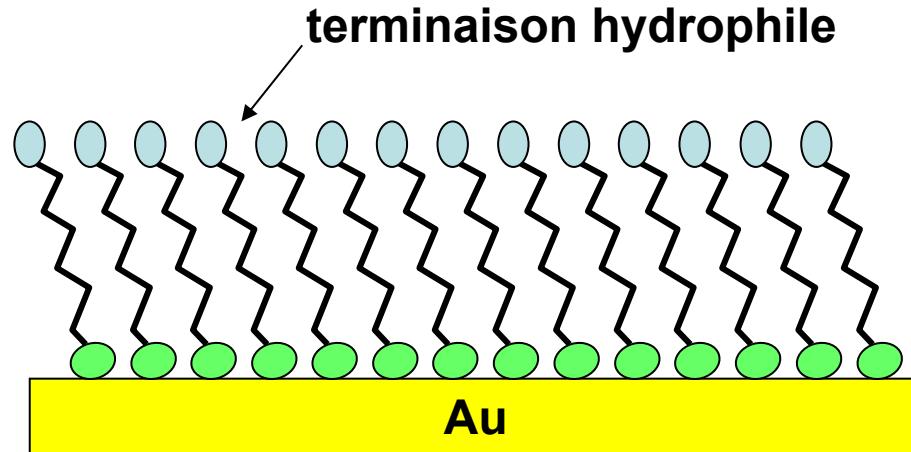
Et bientôt des mémoires moléculaires ? (1)

→ on sait attacher des molécules à des électrodes métalliques :



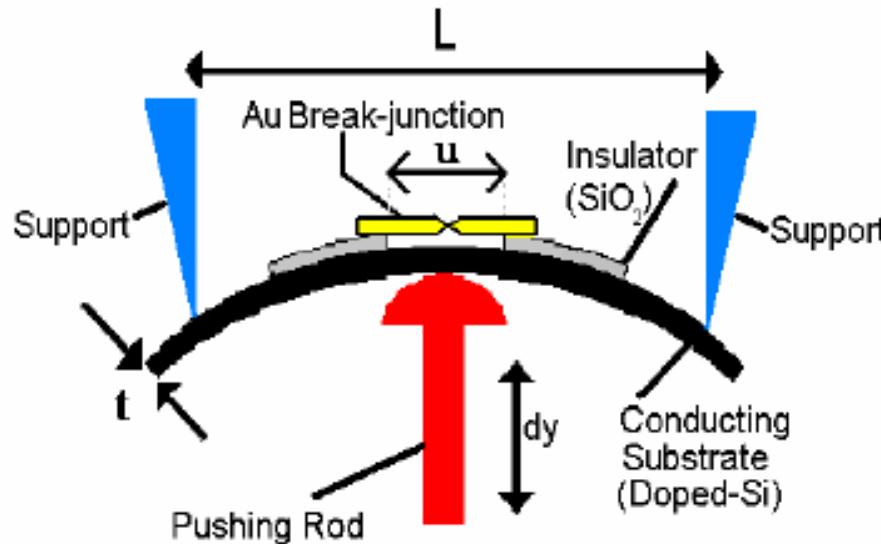
→ on sait fabriquer des couches monomoléculaires sur un substrat

ex:

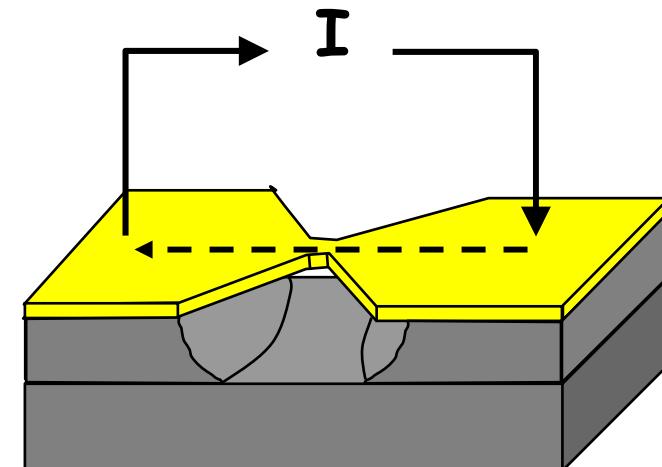


Et bientôt des mémoires moléculaires ? (1)

→ on sait réaliser des « nanogaps » métalliques de la taille d'une molécule

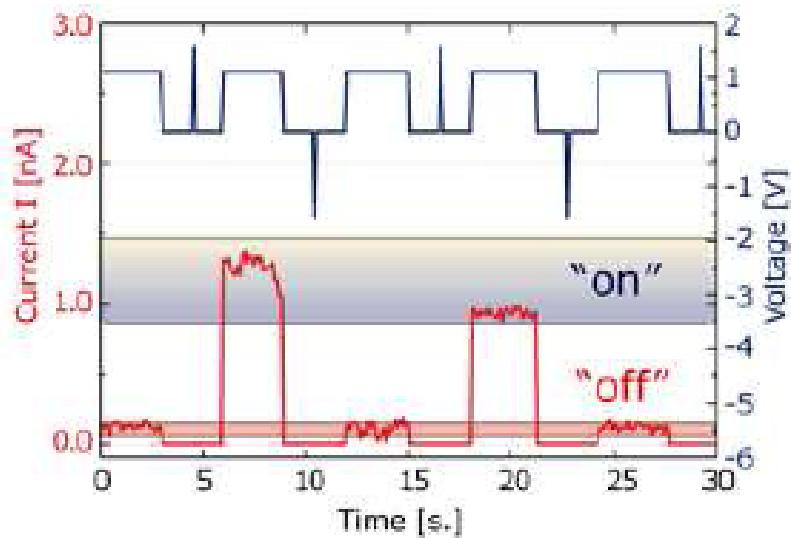


technique « junction de rupture »
d'un micropont fait en lithographie



usinage par électromigration
d'un micropont fait en lithographie

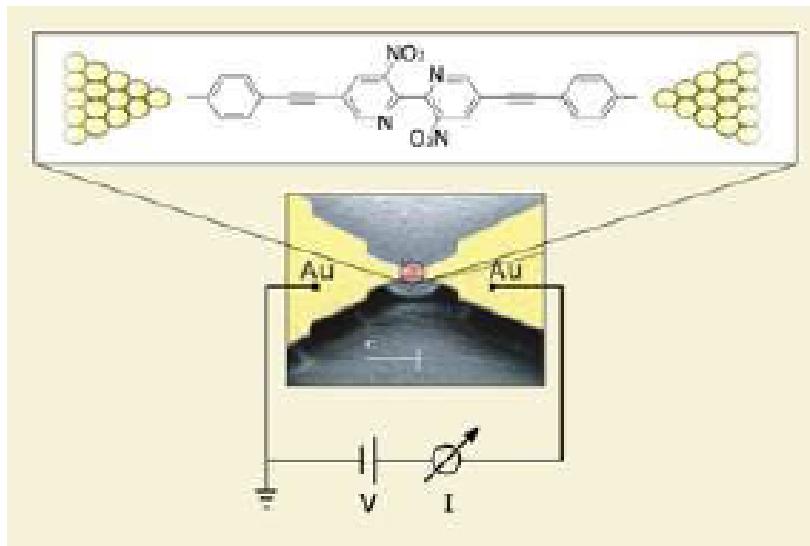
Et bientôt des mémoires moléculaires ? (2)



Lörtscher et al., Small 2, 973 (2006)
(IBM)

programmation par impulsions
de tension (> 1.6 V) d'une
« mémoire monomoléculaire »

(molécule artificielle, terminée
aux deux extrémités par des
groupements thiols, et fixées
dans un nanogap d'Au)



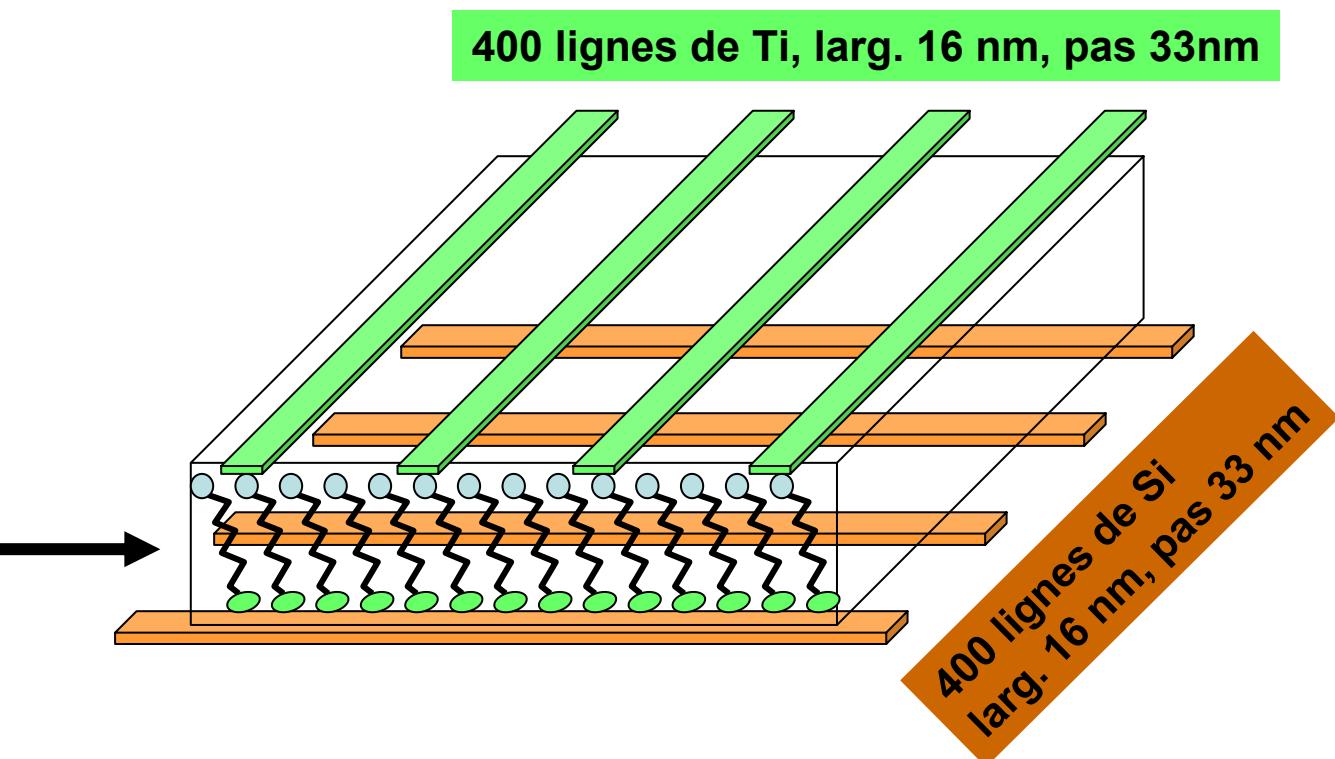
Et bientôt des mémoires moléculaires ? (3)

Nature,
25 Janvier
2007

A 160-kilobit molecular electronic memory patterned at 10^{11} bits per square centimetre

Jonathan E. Green^{1*}, Jang Wook Choi^{1*}, Akram Boukai¹, Yuri Bunimovich¹, Ezekiel Johnston-Halperin^{1†}, Erica Delonno¹, Yi Luo^{1†}, Bonnie A. Sheriff¹, Ke Xu¹, Young Shik Shin¹, Hsian-Rong Tseng^{2†}, J. Fraser Stoddart²
& James R. Heath¹

couche
monomoléculaire
de Rotaxane



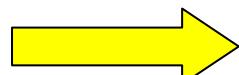
Et bientôt des mémoires moléculaires ? (3)

Nature,
25 Janvier
2007

A 160-kilobit molecular electronic memory patterned at 10^{11} bits per square centimetre

Jonathan E. Green^{1*}, Jang Wook Choi^{1*}, Akram Boukai¹, Yuri Bunimovich¹, Ezekiel Johnston-Halperin^{1†}, Erica Delonno¹, Yi Luo^{1†}, Bonnie A. Sheriff¹, Ke Xu¹, Young Shik Shin¹, Hsian-Rong Tseng^{2†}, J. Fraser Stoddart² & James R. Heath¹

- densité « affichée » :
 - pas attendue pour les DRAM avant 2020
 - 1.5x supérieure à la meilleure « démo » disque dur
- rapports de courant ON/OFF jusqu'à >100
- mais:
 - seulement 50% des cellules donnent une « réponse »
 - seulement 25% ont commuté réellement,
 - cyclabilité avant panne ~ 10 !!!
 - temps de rétention ~ 1h



Annonce un peu « précipitée » ?

Conclusion

- aujourd'hui, les « briques de base » se mettent en place dans les différentes disciplines
- de même, les chercheurs de différentes disciplines se « parlent » de plus en plus (hors de France, création de grands « Centres de Nanosciences » pluridisciplinaires.
- les industriels sont très motivés (mais peu « compétents »)
- problèmes potentiellement critiques pour les circuits « Nanosciences » : la fiabilité, le rendement de production, ...
 - recherche sur de nouvelles *architectures auto-évaluantes, tolérantes aux défauts, et auto-réparantes*